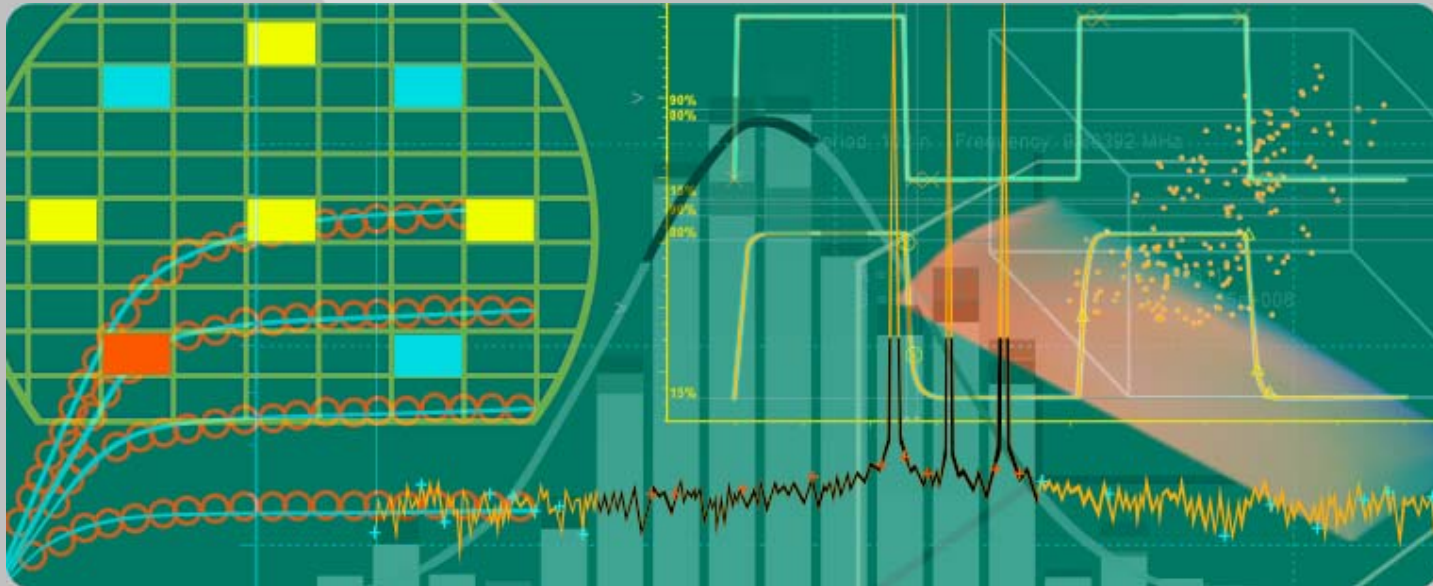


SIMUCAD High Quality PDK Development Solution



Ted Okashita
January 2007



PDK - 開発現場の視点

- PDKとは？
- 高品質PDK活用によるメリット
- PDKベースのアナログ/ミックスド・シグナル/RF設計フロー
- PDKデータ構造
- 各データ・セットについて
- データ・セット例
- 品質についてのメッセージ(Quality Message)



PDKとは？

- プロセス・デザイン・キット(PDK)は検証済みのデータファイルから成り、カスタムIC設計用EDAツールで使用される。アナログ/ミックスド・シグナル/RF設計フローを成功に導くことを目的にしている。
- これらのデータ・ファイルにはスキーマティック・シンボル、SPICEモデル、レイアウト・テクノロジー・ファイル、PCELLS、DRCルール・ファイル、LVSルール・ファイル、寄生抽出ルール・ファイル、およびスクリプトが含まれ、EDAツールによる設計データ作成・検証を自動化している。

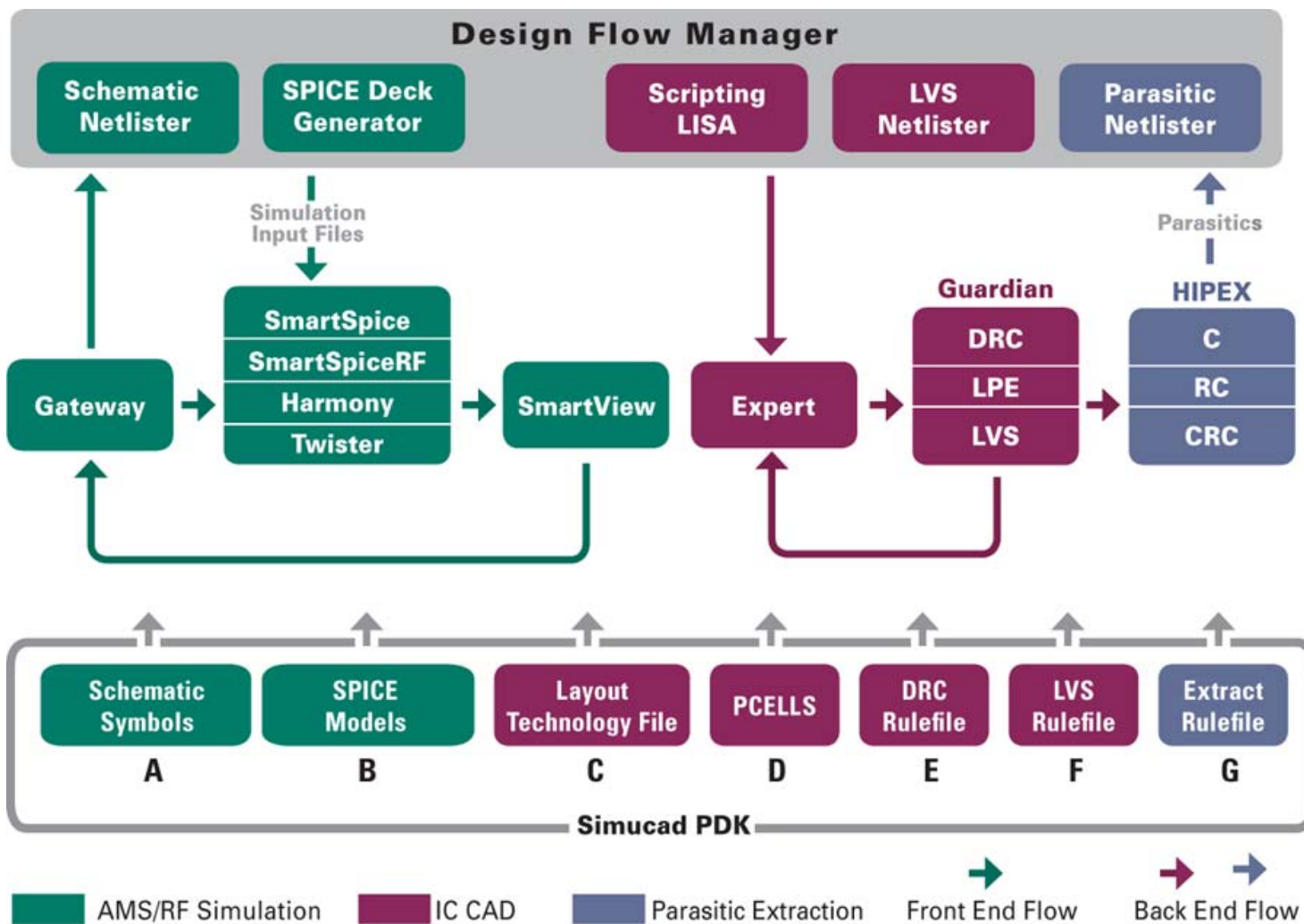



高品質PDK活用のメリット

- **設計生産性 (TAT)** – 検証済みデータ・セット使用により、IC設計の即時立ち上げ、全デザイン・フローが活用可能
- **設計品質** – ファウンドリ認証データの使用によるシリコン・サクセス
- **利益確保 (ROI)** – 設計サイクル、費用のかかるリワーク数削減



PDKベースのアナログ/ミックスド・シグナル/RF設計フロー

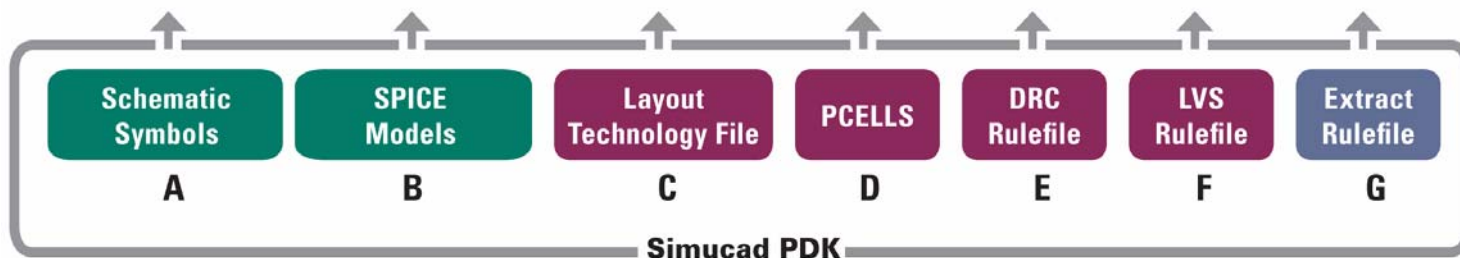




PDKデータ構造

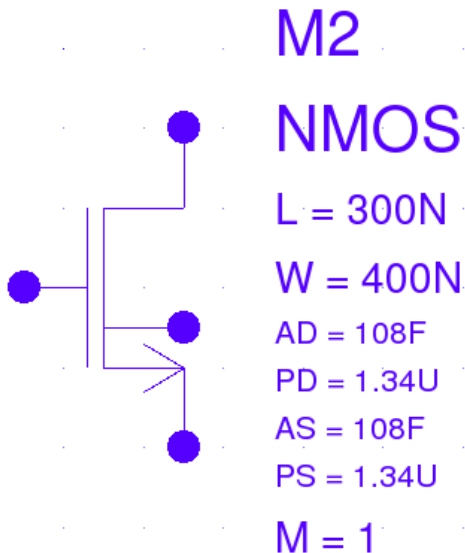
- アナログ/ミックスド・シグナル/RF設計フローのサポートがPDKの目的
- 設計フローはPDKの構成を反映
- データ・セットはツール毎に個別に存在
- 各データセットは、個々のソフトウェア・ツールをサポートするように個別に開発、メンテナンス

各PDKデータ・セットについて



- A. スケマティック・シンボル (Schematic symbols) : 利用可能なデバイス、属性 (デバイスタイプ、ピン、サイズなど) を定義
- B. SPICEモデル: SPICEシミュレーションで使用
- C. レイアウト・テクノロジ・ファイル (Layout Technology File) : レイアウト環境とその属性、およびデバイス抽出を定義
- D. PCELL: 入力パラメータにもとづき自動的、対話的に作成されるセル・レイアウト
- E. DRCルールファイル: レイアウト中はインタラクティブに、テープアウト時にはバッチ処理でデザイン・ルールをチェック
- F. LVSルールファイル: レイアウト中はインタラクティブに、テープアウト時にはバッチ処理でLVSチェック
- G. 寄生抽出ルールファイル: 寄生素子の抽出、およびポスト・レイアウト・シミュレーションで使用

スキーマティック・シンボル



```

M 2
C 40 -10 "B" 40 0 12 0 L 0
C 40 -40 "S" 20 -50 12 0 L 0
C 0 0 "G" -10 10 12 0 L 0
C 40 40 "D" 20 30 12 0 L 0
L 20 -20 20 -10
L 20 -10 40 -10
L 30 -26 40 -20
L 30 -14 40 -20
L 20 20 40 20
L 20 -20 40 -20
L 20 20 20 -10
L 16 20 16 -20
L 40 20 40 40
L 40 -40 40 -20
L 0 0 16 0
P "GUARDIAN" "@PREFIX@PATH %D %G %S %B @MNAME $L $W ?AD ?
PD ?AS ?PS $M" 62 -54 0 12 0 0 0 1 "" ""
P "PS" "(2*(270N+W))" 63 -52 0 6 0 1 2 0 "" ""
P "PD" "(2*(270N+W))" 63 -28 0 6 0 1 2 0 "" ""
P "AS" "(270N*W)" 63 -40 0 6 0 1 2 0 "" ""
P "AD" "(270N*W)" 63 -16 0 6 0 1 2 0 "" ""
P "PATH" "?" 63 54 0 12 0 0 1 0 "" ""
P "MNAME" "NENHHP" 63 30 0 12 0 0 1 1 "" ""
P "PREFIX" "M" 60 0 0 12 0 0 0 1 "" ""
P "L" "100N" 63 13 0 8 0 1 1 0 "100n" "10u"
P "W" "150N" 63 -4 0 8 0 1 1 0 "150n" "100u"
P "M" "1" 63 -69 0 8 0 1 1 0 "" ""
P "SMART_SPICE" "@PREFIX@PATH %D %G %S %B @MNAME $L $W $AD
$PD $AS $PS $M" 60 40 0 12 0 0 0 1 "" ""
    
```


SPICEモデル

* BSIMSOI3.2 example modelcard

.Model N1 NMOS Level= 9

+MOBMOD = 2 SHMOD = 1 CAPMOD = 2
 +SOIMOD = 0 IGBMOD = 1 IGCMOD = 1

+TNOM = 25 TOX = 3.e-9 TSI = 41e-9
 +TBOX = 100e-9 TOXM = 3.e-9 VTH0 = 0.29
 +NCH = 4e17 NSUB = 1e16
 +RBODY = 0 RBSH = 0

+LINT = 0 LLN = 1 LW = 0
 +LWN = 0 LWL = 0
 +WINT = 0 WLN = 1 WW = 0
 +WWN = 1 WWL = 0

+CDSC = 1.3 CDSCB = 0.004 CDSCD = 0.1
 +CIT = 0.00007 NFACTOR = .9 XJ = 5E-08
 +VSAT = 86000 AT = 28000
 +A0 = 1.8 AGS = -0.175 A1 = 0
 +A2 = 0.99 KETA = 0.25 KETAS = 0.23
 +NGATE = 0
 +K1 = .59 KT1 = -.28 KT1L = 8e-9
 +KT2 = -.0646 K2 = 0 K3 = -3.5
 +K3B = 0 W0 = 0

***** BSIM4.6.0 Model Card for PMOS *****

** Model: BSIM4.6.0

** Berkeley SPICE3f5 Compatible

** Lmin=0.02 Lmax=10 Wmin=0.6 Wmax=20

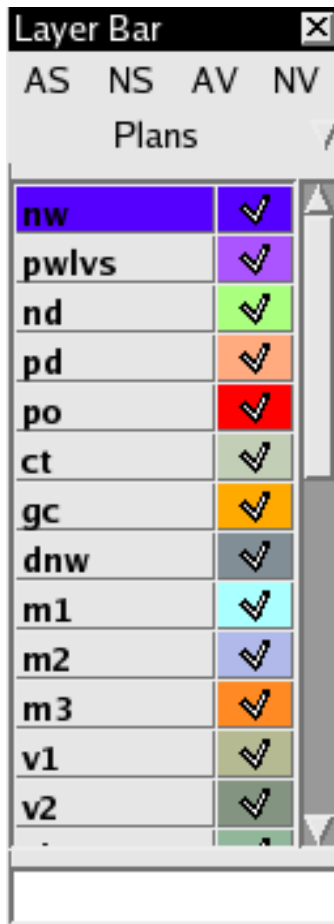
.MODEL P1 PMOS LEVEL = 14

+VERSION = 4.6.0 BINUNIT = 1 PARAMCHK= 1 MOBMOD = 0
 +CAPMOD = 2 IGCMOD = 1 IGBMOD = 1 GEOMOD = 1
 +DIOMOD = 1 RDSMOD = 0 RBODYMOD= 0 RGATEMOD= 1
 +PERMOD = 1 ACNQSMOD= 0 TRNQSMOD= 0 TEMPMOD = 0

+TNOM = 27 TOXE = 1.8E-009 TOXP = 10E-010 TOXM = 1.8E-009
 +DTOX = 8E-10 EPSROX = 3.9 WINT = 5E-009 LINT = 1E-009
 +LL = 0 WL = 0 LLN = 1 WLN = 1
 +LW = 0 WW = 0 LWN = 1 WWN = 1
 +LWL = 0 WWL = 0 XPART = 0 TOXREF = 1.8E-9

+SAREF = 5E-6 SBREF = 5E-6 WLOD = 2E-6 KU0 = 4E-6
 +KVSAT = 0.2 KVTH0 = -2E-8 TKU0 = 0.0 LLODKU0 = 1.1
 +WLODKU0 = 1.1 LLODVTH = 1.0 WLODVTH = 1.0 LKU0 = 1E-6
 +WKU0 = 1E-6 PKU0 = 0.0 LKVTH0 = 1.1E-6 WKVTH0 = 1.1E-6
 +PKVTH0 = 0.0 STK2 = 0.0 LODK2 = 1.0 STETA0 = 0.0
 +LODETA0 = 1.0
 +LAMBDA = 4E-10
 +VSAT = 1.1E+005
 +VTL = 2.0E5 XN = 6.0 LC = 5E-9
 +RNOIA = 0.577 RNOIB = 0.37
 +LINTNOI = 1E-009
 +TVOFF = 0.0 TVFBSDOFF = 0.0

レイアウト・テクノロジー・ファイル



```
TechnologyID = "Technology, source: lvs_ge_6metals_bond.bv07.dsf,  
Unit = "um"  
UnitValue = 1  
Shapes  
{  
  AllowOffGridWire = FALSE  
  AllowOffGridEllipse = FALSE  
  ApproximationType = POINTS  
  ApproximationValue = 20  
  AlignedY = FALSE  
  Circumscribed = FALSE  
}  
Layer  
{  
  Name = "nwell"  
  Wire  
  {  
    MiterAngle = 20  
    Width = 0.2  
    Joint = EXTEND  
    End = EXTEND  
  }  
  Stipple = "STP_H_DENSE7"  
  Color = (85,0,255)  
  GDS2Num = 02  
  GDS2DataType = 0  
  Scope = FLAT  
  UseGridParams = FALSE  
  ScratchLayer = FALSE  
  EdgeLayer = FALSE  
}
```

PCELL

Instance

Library: starc_90nm_pcells

Cell: nenhhp (P)

Name:

Position
X = 2.5700 Y = 0.9850

Transformations
Rotation: Scale: Mirroring:
0 1.0000 None

Array Attributes
Rows: 1 Columns: 1 Orthogonal

Delta Rows
X = 0.0000 Y = 1.5200

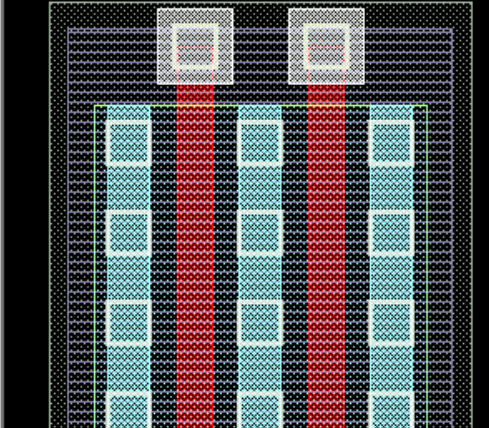
Delta Columns
X = 1.2200 Y = 0.0000

Split Array
 Rows Columns

Hide Parameters

Parameters:

	Name	Type	Value
1	W	Double	1
2	L	Double	0.1
3	G	Integer	2
4	SB_CONNE	Boolea	FALSE
5	GATE_COM	Boolea	TRUE



```

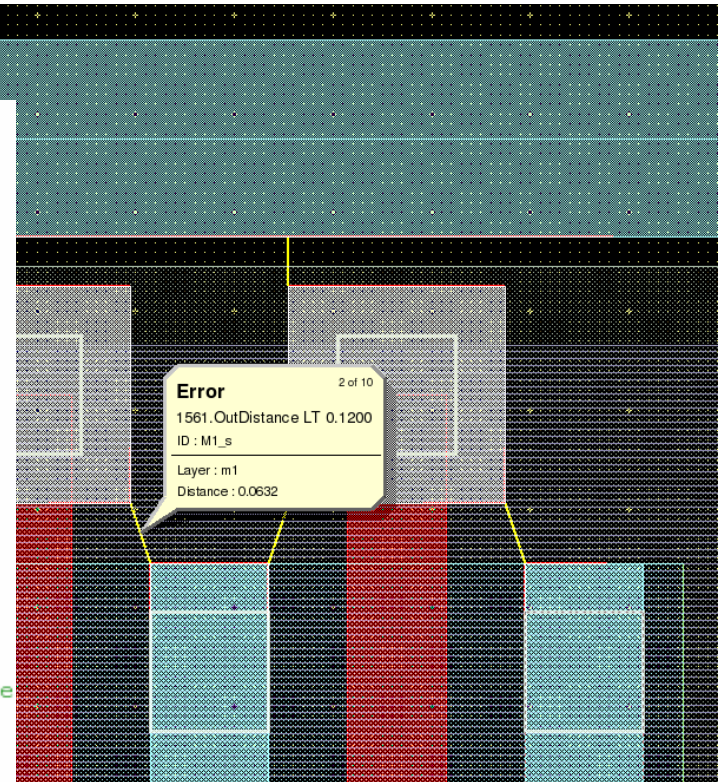
DEFINE PCELL "foundry_pcells::rndif" /REPLACE
  PARAMETER W /TYPE = (Double) /DEFAULT = (0.2)
  PARAMETER L /TYPE = (Double) /DEFAULT = (0.4)
  BODY BEGIN
  IF (W LEQ 0.2) THEN (W=0.2);
    Wplus0_02=W+0.02;
    contact_area=W-0.08;
    box 0.02 0.19 (W) (L) /layer = "reslvs";
    box -0.11 -0.11 (W+0.26) (L+0.6) /layer = "ni";
    box 0.02 0.02 (W) (L+0.34) /layer = "nd";
    box 0.01 0.02 (Wplus0_02) 0.22 /layer = "m1";
    box 0.01 (L+0.14) (Wplus0_02) 0.22 /layer = "m1";
    instance 0.06 0.19 /cell = "contact" /rotate = 270 /params = {{contac
    instance 0.06 (L+0.31) /cell = "contact" /rotate = 270 /params = {{co
  END;
  
```

DRCルール・ファイル

```
/* ***** */
/*           DRC Script           */
/*           */
/*           Thu Sep 07 16:54:15 2006 */
/* ***** */

TITLE: "Core Layout rules";

/* 1 */ free_layer_definition_order: yes;
/* 2 */ Merge_Input: on;
/* 3 */ output_error_subsegments: yes;
/* 4 */ Unit: lum;
/* 5 */ Database_Precision: 1000;
/* 6 */ Grid_Resolution: GridX = 5, GridY = 5;
/* 7 */ Incremental_Connect: no;
/* 8 */ Update_layout: input=no, technology=no, new=no;
// NOTE. Set the following checks for all input layers ON / OFF
/* 10 */ Check_Acute_Input: On; // acute check
/* 11 */ Check_Offgrid_Input: On; // offgrid check
/* 12 */ Check_Skew_Input: On; // output outof angle n*45 degree
/* 9 */ Size:Options=(CUT), Value=0.26/2, Layer=&tmpka_2
    , LayerR=&tmpka_3;
/* 10 */ And: Layer1=&tmpka_3, Layer2=nd, LayerR=nd_0~26;
/* 11 */ Size:Options=(CUT), Value=- (0.26/2), Layer=pd
    , LayerR=&tmpka_5;
/* 12 */ Size:Options=(CUT), Value=0.26/2, Layer=&tmpka_5
    , LayerR=&tmpka_6;
/* 14 */ Dif: Layer1=nw_orig, Layer2=noht, LayerR=nw;
/* 15 */ Dif: Layer1=hvnw_orig, Layer2=noht, LayerR=hvnw;
/* 16 */ Dif: Layer1=hvpw_orig, Layer2=noht, LayerR=hvpw;
/* 17 */ Dif: Layer1=ltnw_orig, Layer2=noht, LayerR=ltnw;
/* 18 */ Dif: Layer1=ltpw_orig, Layer2=noht, LayerR=ltpw;
```



LVSルール・ファイル

LVS RESULTS

```
first netlist : ./expert/examples/quickstart/bandgap_hier.spice
second netlist : ./gateway/examples/Quickstart/bandgap_lvs.net
```

netlists are EQUIVALENT

COMPARISON SUMMARY

device type	device model	before preprocessing		after preprocessing		unmatched		matched
		#1	#2	#1	#2	#1	#2	#1=#2
PMOS	(All)	4	4	4	4	0	0	4
R	(All)	17	17	2	2	0	0	2
NPN	NPNV	16	16	4	4	0	0	4
total devices		37	37	10	10	0	0	10
total nets		10	10	10	10	5	5	5

Setting "Match Model" is OFF for the following device types: PMOS, R.
By this reason there is no distributions of statistics between some different models for mentioned

```
lvs time: 00:00:00.3
version: 4.4.0.C (build 1156) (64-bit) (LE 061212)
created: Thu Jan 18 16:47:06 2007
```

LVS SETTINGS

```
Guardian message file      : ./expert/examples/quickstart/bandgap_hier#lvs/bandgap_hier.mes
Guardian filtered nodes file : ./expert/examples/quickstart/bandgap_hier#lvs/bandgap_hier.flt
Guardian unmatched nodes file : ./expert/examples/quickstart/bandgap_hier#lvs/bandgap_hier.unm
Guardian parameter error file : ./expert/examples/quickstart/bandgap_hier#lvs/bandgap_hier.par
Guardian parameter match file : ./expert/examples/quickstart/bandgap_hier#lvs/bandgap_hier.pma
Guardian port swappability file : ./expert/examples/quickstart/bandgap_hier#lvs/bandgap_hier.psw
```

```

..... */
/*                               LVS Layer Generation Script                               */
/*                                                                           */
/*                               Wed Dec 14 18:27:15 2005                       */
/*                                                                           */
/* ..... */
/* 1 */ free_layer_definition_order: yes;
/* 2 */ Merge_Input: on;
/* 3 */ Unit: lum;
/* 4 */ Database_Precision: 1000;
/* 5 */ Grid_Resolution: GridX = 5, GridY = 5;
/* 6 */ Incremental_Connect: no;
/* 7 */ Update_layout: input=no, technology=no, new=no, layers=
(ci_port,cm12345_port1,cm12345_port2,cm1234_port1,cm1234_port2,cm123_port1,cm123_port2);
/* 8 */ Dif: Layer1=po, Layer2=reslvs, LayerR=&po_r;
//
/* 11 */ Logicform: po_ic = &po_r.dif.(sb.and.(nppo.or.pppo));
/* 12 */ CONTOURS: Options=(Rect), LLimits ==0.10,
          WLimits ==0.10, Layer=omlvs,
          LayerR=omlvs_10x10;
/* 13 */ Select: Relation=OVERLAP,
          Layer1=reslvs, Layer2=omlvs_10x10,
          LayerR=&tmpka_2;
/* 14 */ Dif: Layer1=m1, Layer2=&tmpka_2, LayerR=&tmpka_1;
/* 15 */ CONTOURS: Options=(Rect), LLimits ==0.10,
          WLimits ==0.20, Layer=omlvs,
          LayerR=omlvs_10x20;
/* 16 */ Select: Relation=OVERLAP,
          Layer1=reslvs, Layer2=omlvs_10x20,
          LayerR=&tmpka_3;
/* 17 */ Dif: Layer1=&tmpka_1, Layer2=&tmpka_3, LayerR=&tmpka_0;
/* 18 */ Select: Relation=OVERLAP, Layer1=reslvs, Layer2=omlvs

```



寄生抽出ルール・ファイル

```
*****
* Extracted SPICE netlist for top cell NewPrj1
* Created Thu Jan 18 16:58:41 2007 by hipex 3.1.6.C
* Sub-Circuit Netlist of : Layout
*****
.subckt NewPrj1
MI#1 #5 #1 #6 #4 NENHHP L=0.1U W=1U
MI#2 #6 #2 #7 #4 NENHHP L=0.1U W=1U
*** Parasitic capacitors ***
Cp1 #4 #2 0.000162586P
Cp2 #4 #1 0.000166065P
Cp3 #4 #6 3.81411e-05P
Cp4 #4 #5 6.37021e-05P
Cp5 #4 #7 4.53409e-05P
Cp6 #4 0 0.000538842P
Cp7 #2 #1 1.39735e-05P
Cp8 #2 0 2.29391e-05P
Cp9 #1 0 1.66998e-05P
Cp10 #6 #5 5.43051e-05P
Cp11 #6 #7 5.43051e-05P
Cp12 #6 0 5.85652e-06P
Cp13 #5 0 5.85652e-06P
Cp14 #7 0 4.02598e-05P
.ends Layout
.end
```

```
*****
! CUP_EXTRACT PROCEDURE FOR HIPEX
*****
! Coefficient in picoFarads
*****
define procedure cup_extract
do begin
CUP OVERLAP
/LAYER1 = poly1
/LAYER2 = subs
/vicinity=5
/area_coef = 0.000145209
/C_SIDE_DOWN_COEF = 4.93471e-05, 1.97698, 0.0509243;

CUP OVERLAP
/LAYER1 = metal1
/LAYER2 = subs
/vicinity=5
/NOT_LAYERS = poly1
/area_coef = 5.92199e-05
/C_SIDE_DOWN_COEF = 3.79479e-05, 1.0672, 0.110263;

CUP OVERLAP
/LAYER1 = metal2
/LAYER2 = subs
/vicinity=5
/NOT_LAYERS = poly1, metal1
/area_coef = 3.03593e-05
/C_SIDE_DOWN_COEF = 2.85667e-05, 0.827907, 0.178709;
```



品質についてのメッセージ(Quality Message)

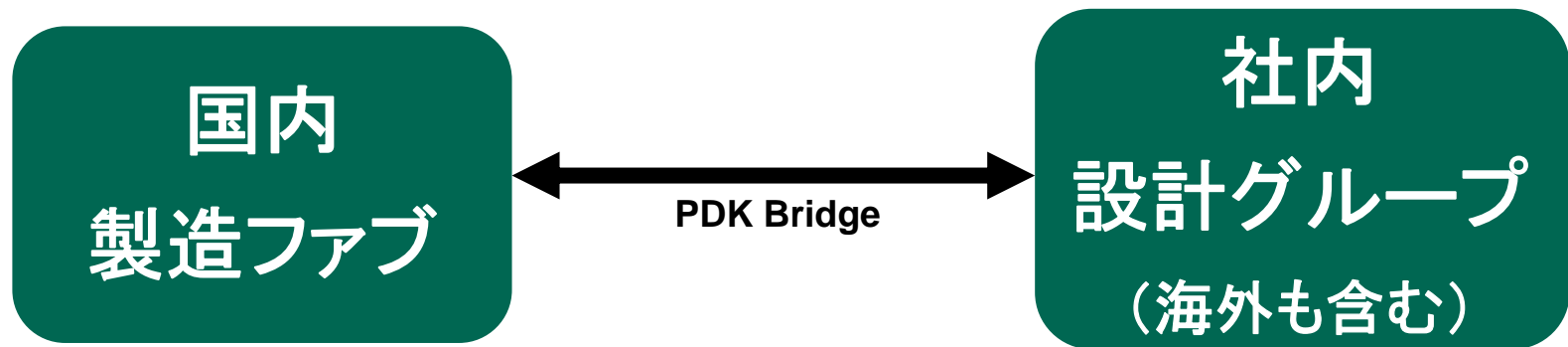
- PDK各データ・セット開発における難易度、およびその品質は製造ファブ提供のデータ、各ソフトウェア・ツール機能、そして製造ファブ・データと各ツール間の整合性に依存



マーケット・セグメント (Market Segmentation)

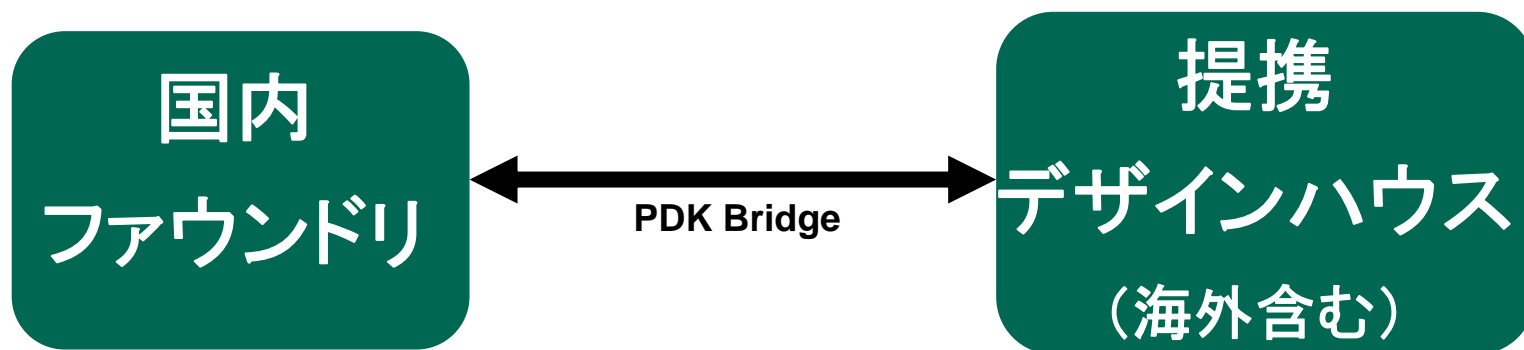
- PDKはデザイン・ハウスと製造ファブ(ファウンドリ)間を連携
- マーケットは、デザイン・ハウスと製造ファブの地理的な関係、あるいはビジネス関係によって分割
- Simucad社の視点では、マーケットは4分類

ケース・スタディ1：国内製造ファブ、社内設計グループ



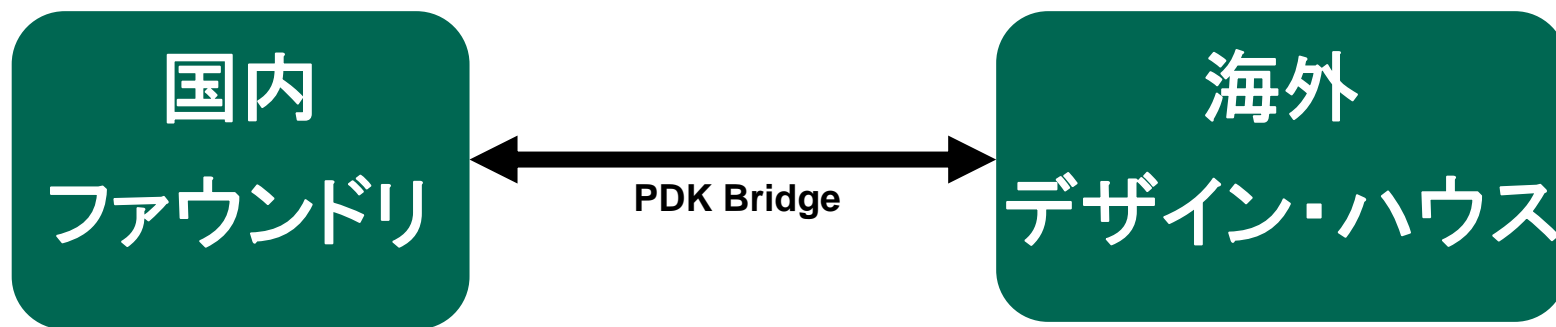
- 現状分析(Current Problem) – PDK開発手法、開発対象の定義不足、不十分な文書化、さらにPDKデータそのものの開発、サポートが不十分、更新は遅延がち
- ソリューション(Solution/Benefit) - 開発手法改善のためにCADベンダによる社内PDKチームの訓練、Simucad社のPDK開発サービスの採用
- 現状維持によるペナルティ(Penalty if Status Quo) - 不十分な設計手法により長期にわたる設計サイクル,数多くの設計繰り返しとなり製品マーケットへの参入が遅延

ケース・スタディ2 – 国内ファウンドリ、提携デザイン・ハウス (海外含む)



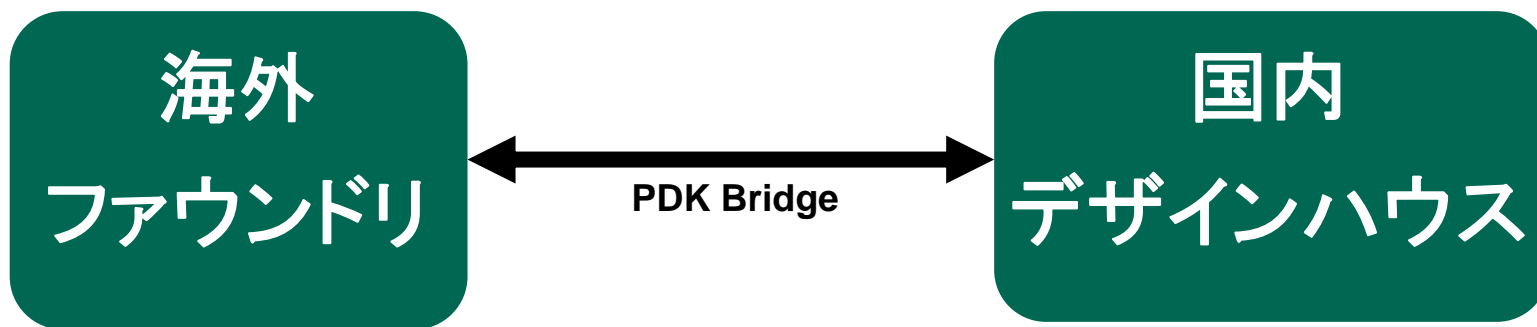
- 現状分析 (Current Problem) - 一連のPDKは構築されているが、開発が不十分で時に情報が不足
- ソリューション (Solution/Benefit) - Simucad社をPDKベンダに選択、標準化された高品質PDKの提供が可能となり、デザインハウスの生産性が向上
- 現状維持によるペナルティ (Penalty if Status Quo) - 提携デザインハウスの不満と成績不振、それにとまなうファウンドリビジネスの利益低下

ケース・スタディ3 - 国内ファウンドリ、海外デザイン・ハウス



- 現状分析(Current Problem) - 大規模ファウンドリは良質なPDKを提供できるが、構築、維持に十分な投資が必要。中規模系ファウンドリでは、PDKが不十分で国際ビジネス獲得は困難
- ソリューション(Solution/Benefit) - PDK開発のアウト・ソース化、大規模ファウンドリでは費用削減、中規模系でも国際ビジネスのチャンス増大
- 現状維持によるペナルティ(Penalty if Status Quo) - 大規模ファウンドリでは、貴重な社内リソースの浪費、中規模系ではビジネス自体が成立しない

ケース・スタディ4 - 海外ファウンドリ、国内デザイン・ハウス



- 現状分析 (Current Problem) - 海外ファウンドリ採用のため設計手法選択の余地がなく、高額な設計ツールを使用
- ソリューション (Solution/Benefit) - Simucad社開発PDKの利用
- 現状維持によるペナルティ (Penalty if Status Quo) - 高額設計ツールの維持に頭を悩ましつづける



Simucad社のコミットメント

- 全世界の製造ファブ・ファウンドリに最高品質のPDKを開発、提供、サポート
- アナログ/ミックスド・シグナル/RF設計フローに合致する最良のソフトウェア・ツールを開発、提供、サポート
- 高品質PDKと最高のデザイン・ソフトウェアの組み合わせによりカスタマーに最大の価値を提供

Simucad社PDK 開発チーム

