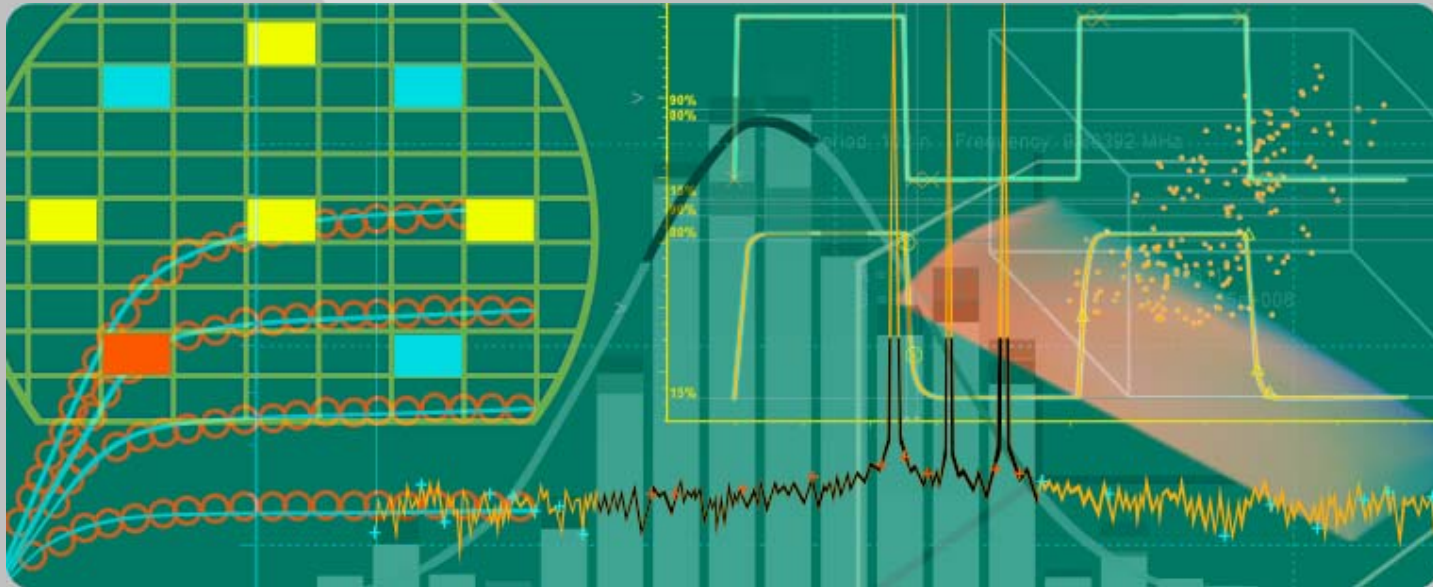


# SmartSpiceにおけるC言語とVerilog-A言語 でのHiSIMの組み込み



シルバコ・ジャパン テクノロジー・セミナー  
Spring 2007

Dondee Navarro



## 内容

- モデル開発者から見たC言語とVerilog-A言語環境の比較:組み込みの容易さ、書き方、coding時間の比較
- Verilog-Aで記述中に気付いた課題の紹介
- Verilog-A / ADMS / ModelLib 開発環境の紹介: HiSIMと他のカスタムモデルの例

# Spice3f5でのHiSIMのオリジナルソースコード例

hsm2acl.d.c

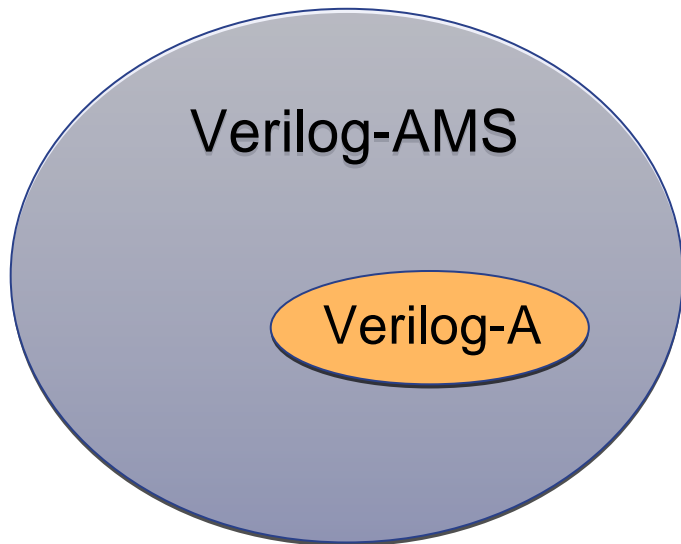
hsm2ld.c

hsm2eval.c

```
T1 = 2.0 * q_Nsub * C_ESI;  
Qb0 = sqrt (T1 * (Pb20 - Vbsz2));  
T2 = 0.5 * T1 / Qb0;  
Qb0_dVd = T2 * (- Vbsz2_dVds);  
Qb0_dVb = T2 * (- Vbsz2_dVbs);  
Qb0_dVg = T2 * (- Vbsz2_dVgs);
```

- Berkeleyライクの様式
- Spice3f5での解析モードインターフェース用に23個のファイルが必要
- 5000行におよぶHiSIMモデル方程式がhsm2eval.cに含まれる
- モデル方程式をアップデートする時に6個以上のファイルの変更が必要

# モデル開発のための言語としてのVerilog-A



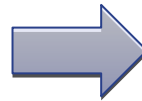
- **Mixed-signal**デザインにアナログを含めるように開発されたVerilog-AMSの一部
- 言語仕様の定義、拡大はAccelleraによって促進される
- **ADMS**は回路シミュレータ用Cコードを生成するオープンソースVerilog-Aコードコンパイラ  
<http://mot-adms.sourceforge.net/>

# HiSIM CコードをVerilog-Aに書き直した例

## ■ 例: pocket implantation によるの $\Delta V_{th}$ モデル

Cコード

```
T1 = 2.0 * q_Nsub * C_ESI;  
Qb0 = sqrt (T1 * (Pb20 - Vbsz2));  
T2 = 0.5 * T1 / Qb0;  
Qb0_dVd = T2 * (- Vbsz2_dVds);  
Qb0_dVg = T2 * (- Vbsz2_dVgs);  
Qb0_dVb = T2 * (- Vbsz2_dVbs);
```



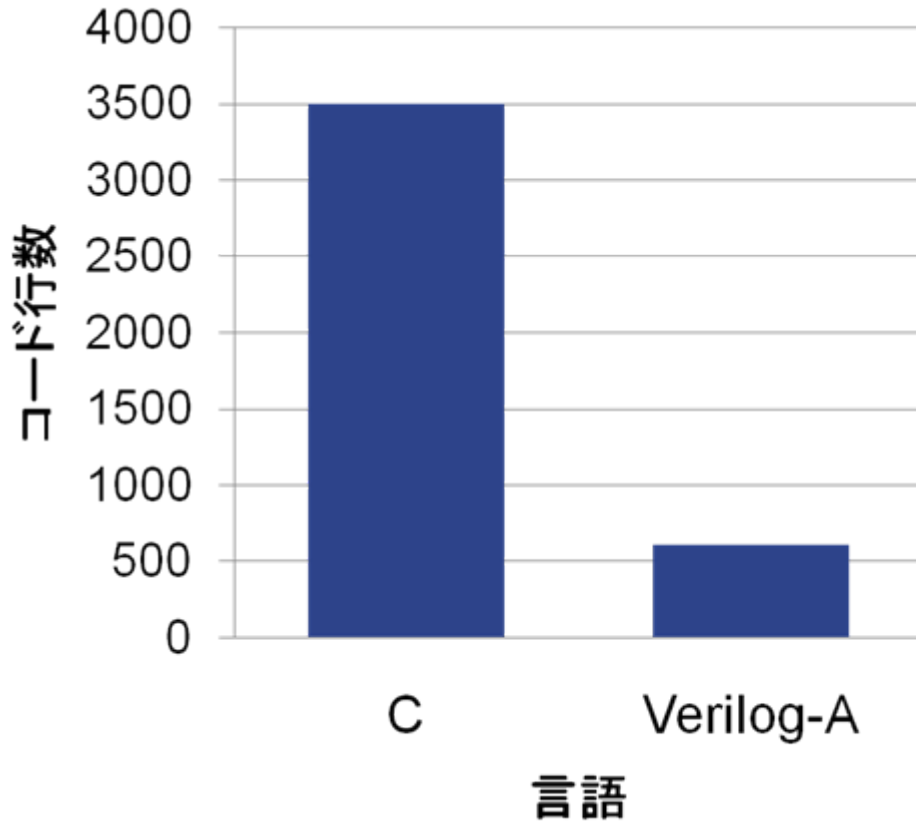
Verilog-A

```
T1 = 2.0 * q_Nsub * C_ESI;  
Qb0 = sqrt (T1 * (Pb20 - Vbsz2));
```

- 微分表現の記述が必要
- パラメータを1つ追加するのに6つ以上のファイル変更が必要
- シミュレータ固有のモデルインターフェースが必要

- 微分表現は不要、必要なファイルは1つ
- モデルインターフェースを書く必要はない
- 管理するのは簡単

# CとVerilog-AによるHiSIMコアモデルのコード行数比較



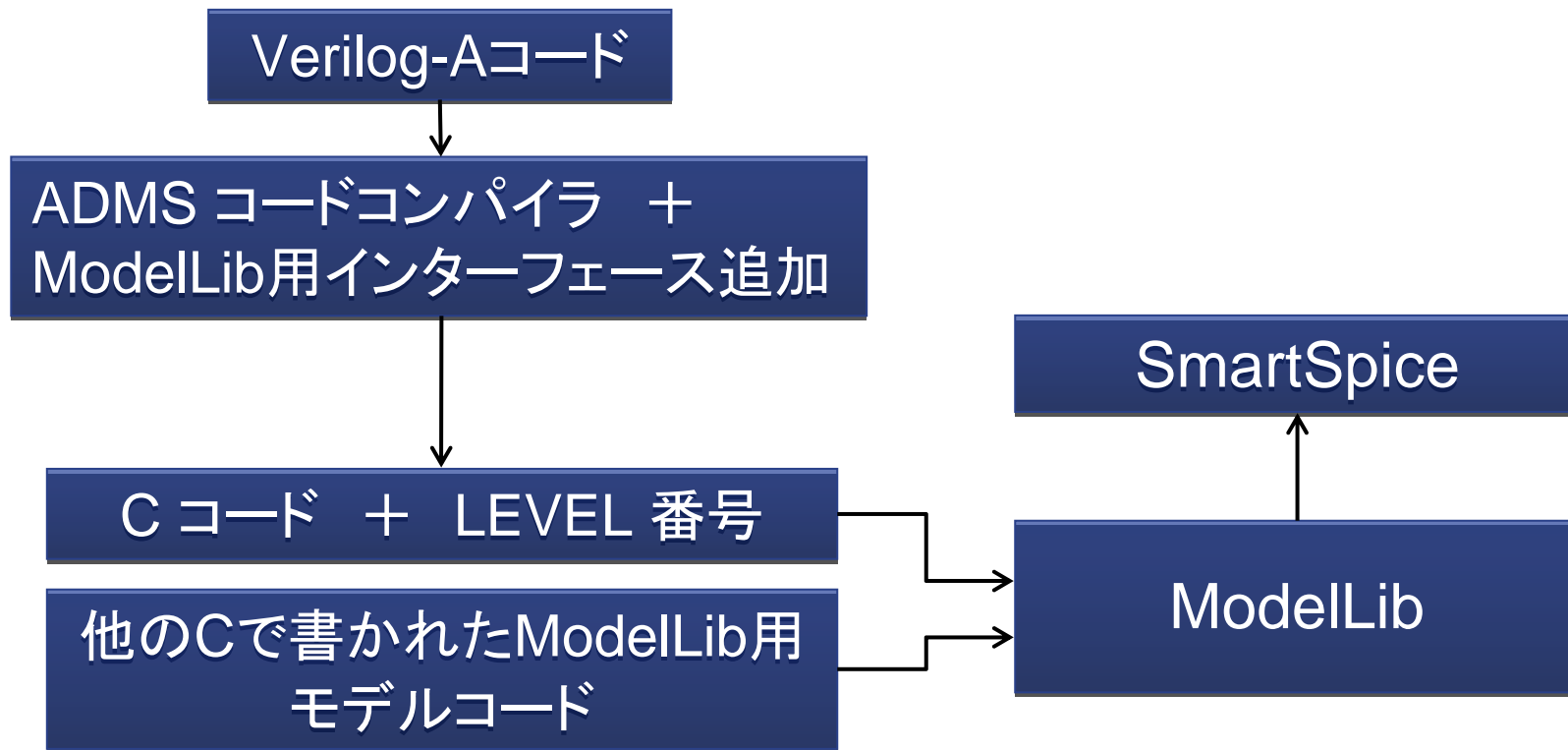
- 微分表現が必要ないためVerilog-AコードではオリジナルCコードの1/6で記述することができた



## Verilog-Aのモデル記述における注意点

1. Verilog-Aではモデル内のすべての変数が連続していると仮定する。モデル方程式内の *if statement* の連続性はチェックしなければならない。
2. *sqrt(x)* と *abs(x)* 変数の微分には注意が必要。この変数微分は  $x = 0$  に不連続が出る。
3. キャパシタンスは電荷( $Q$ )の電圧微分( $dQ/dV$ )より求める必要がある。

# HiSIMと他のカスタムモデルのためのSmartSpiceにおけるVerilog-A / ADMS / ModelLib 環境



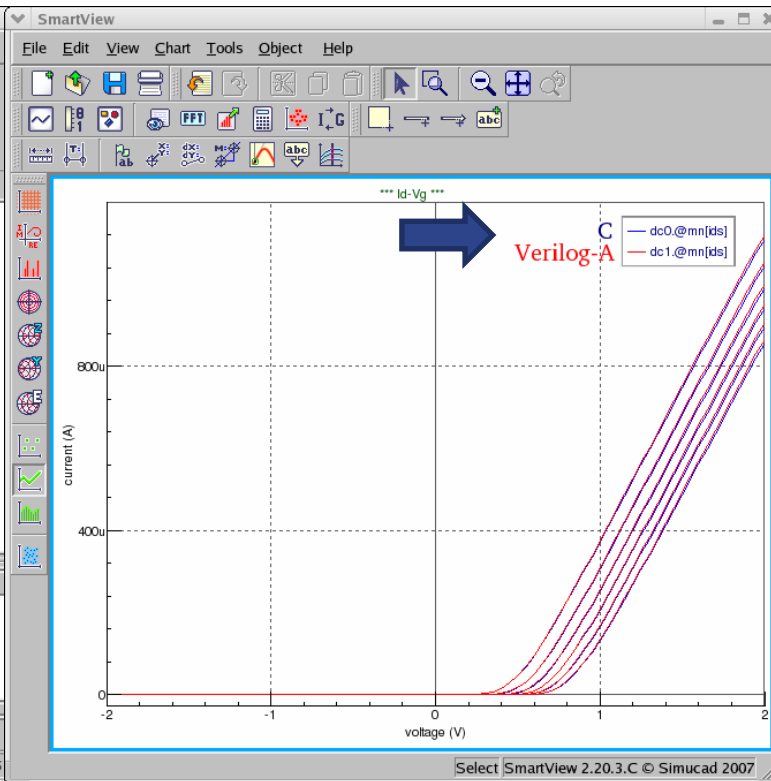


# SmartSpiceでのHiSIM Verilog-A シミュレーション結果

## SmartSpice ネットリスト

```
SmartSpice MultiCore : /home/dondeen/smartspace_files/fromjip/veriloga/denryu.sp
File Edit View Circuit Analysis Display Transform System Tools Help
*** Id-Vg ***
Vd 1 0 1
Vg 2 0 1
Vb 3 0 0
Vs 4 0 0
mn 1 2 4 3 N1 w=1.0e-6 l=0.1u
.MODEL N1 NMOS
+ LEVEL = 71
.dc Vg -2 2 0.05 Vb -2.5 0 0.5
.print dc -(Vd) v(Vd)
.print dc i(Vd) i(Vg) i(Vb) i(Vs)
.print dc @mn[ids] @mn[q]
.print dc @mn[qb] @mn[chio]
.print dc @mn[cgg] @mn[qg]
```

## Id-Vg 特性





## まとめ

- Verilog-Aで組み込んだHiSIMはコンパクトで、管理しやすい。Cコードの1/6で記述することができた。
- 新規テクノロジーによる物理的なモデルは、Verilog-Aで容易に組み込んで、テストすることができる。書き換えるファイルが一つで、シミュレータインターフェースの配慮が不必要。
- Verilog-A / ADMS / ModelLib 環境はHiSIMとHiSIM拡張モデル: SOI, LDMOS, イメージセンサ、バラクタと他のカスタムモデルに有用。SmartSpiceで容易にモデル性能をテストすることができる。