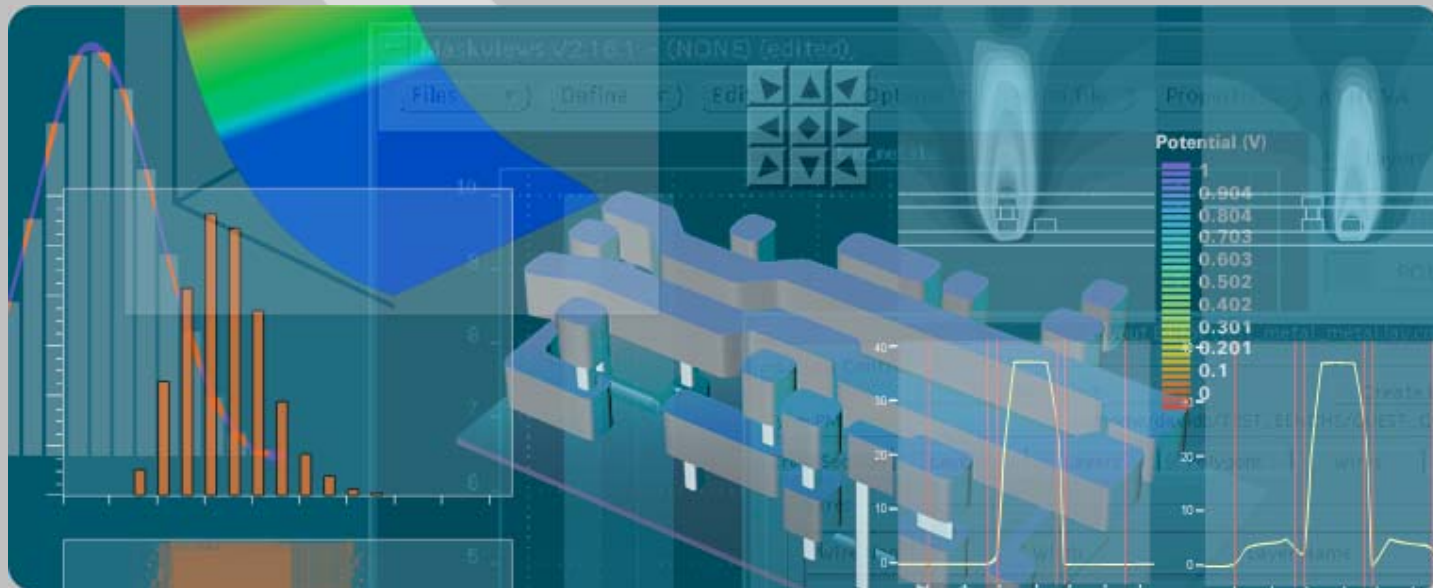



# CLEVER — サブ90nm技術対応、高精度3次元寄生素子抽出ツール



シルバコ・ジャパン テクノロジー・セミナー 2007

Ivan Pestic

2007/4/16 (英文原稿より翻訳)



## CLEVER - 製品仕様

CLEVER単体で、以下の機能をすべてお使いいただけます。

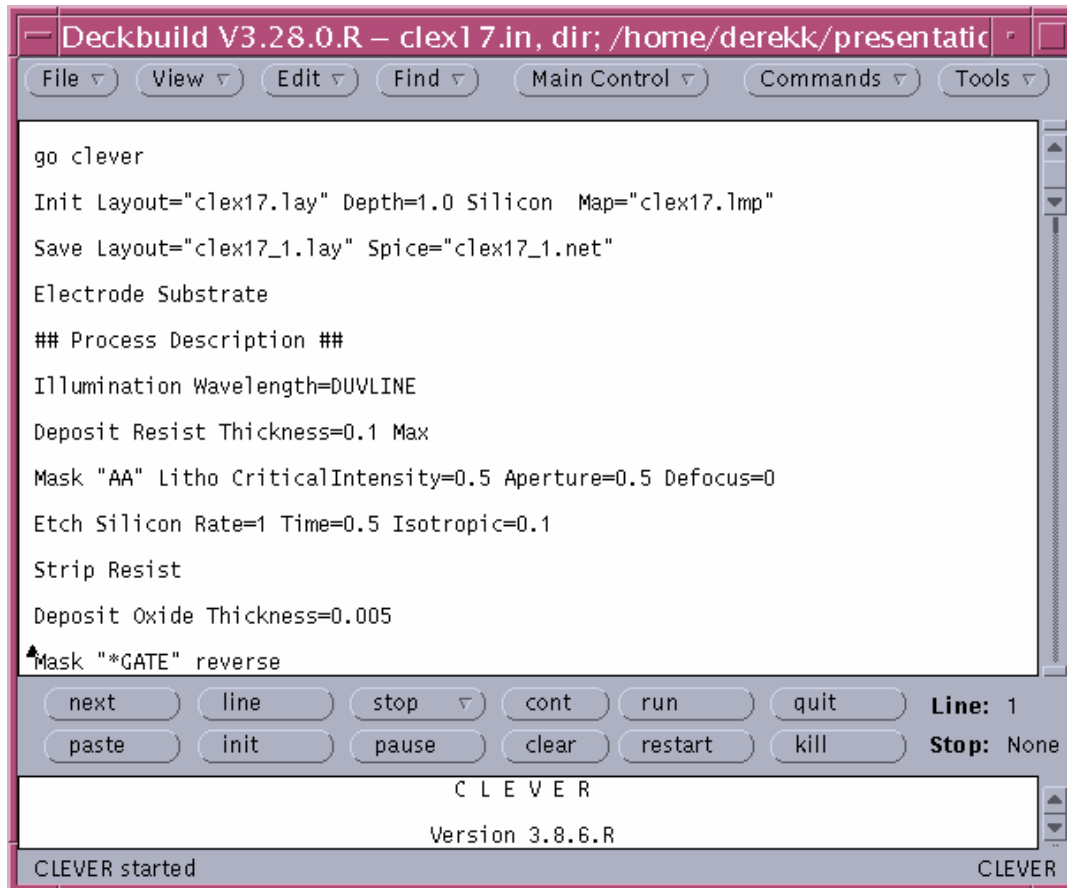
- リアルな構造生成 — すべてのテクノロジーに最適
- 寸法制限なし — 65nm、45nm、およびそれ以下
- マスク・レイアウトを考慮した3次元プロセス・シミュレーション — リアルなデポジション、エッチング、リソグラフィ
- ネットリスト抽出機能 — 能動素子を含むSPICEネットリストを抽出
- 導体・絶縁体フィールド・ソルバ — 任意の3次元構造の抵抗(R)・容量(C)を計算
- フィールド・ソルバが計算したR、Cは、抽出した能動素子ネットリストに自動バック・アノテートされ、直接SPICEで解析可能
- 幅広い用途 — 小さなセル(リアルな3次元処理)から大きなセル(幾何学的処理)まで



## CLEVER - 適用例

- ディープ・サブミクロンの3次元プロセス・シミュレーション
- 45nmのビア構造など、個々の問題箇所について、精密な容量およびプロセスの解析
- 従来型の大きな回路のセル単位の解析
  - 3次元プロセスの影響による寄生容量と寄生抵抗
  - プロセスやレイアウトが変更されても、回路特性に即時フィードバック
  - DOE生成による最適化
- TFT回路
  - 高アスペクト比構造にも対応した優れた機能

# CLEVER - 特徴

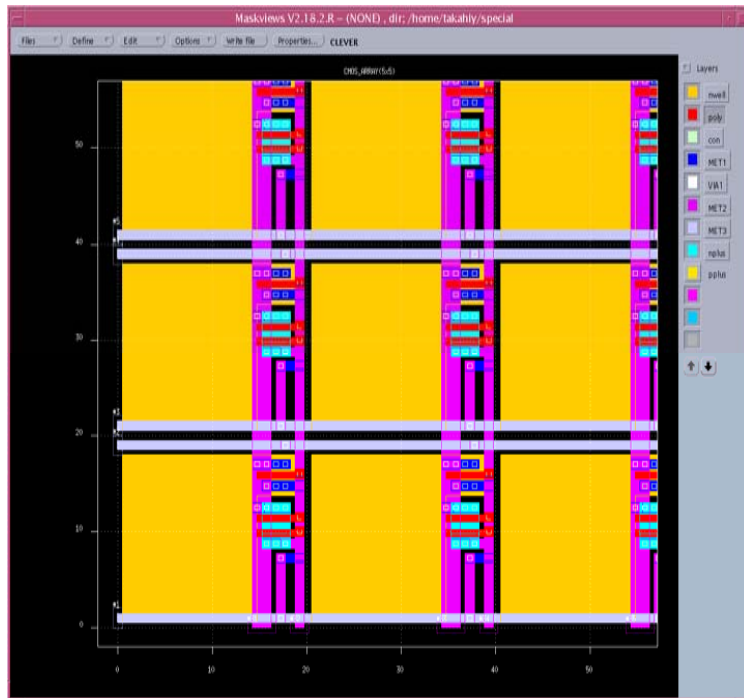


```
Deckbuild V3.28.0.R - clex17.in, dir; /home/derekk/presentatic
File View Edit Find Main Control Commands Tools
go clever
Init Layout="clex17.lay" Depth=1.0 Silicon Map="clex17.1mp"
Save Layout="clex17_1.lay" Spice="clex17_1.net"
Electrode Substrate
## Process Description ##
Illumination Wavelength=DUVLINE
Deposit Resist Thickness=0.1 Max
Mask "AA" Litho CriticalIntensity=0.5 Aperture=0.5 Defocus=0
Etch Silicon Rate=1 Time=0.5 Isotropic=0.1
Strip Resist
Deposit Oxide Thickness=0.005
Mask "*GATE" reverse
next line stop cont run quit Line: 1
paste init pause clear restart kill Stop: None
CLEVER
Version 3.8.6.R
CLEVER started CLEVER
```

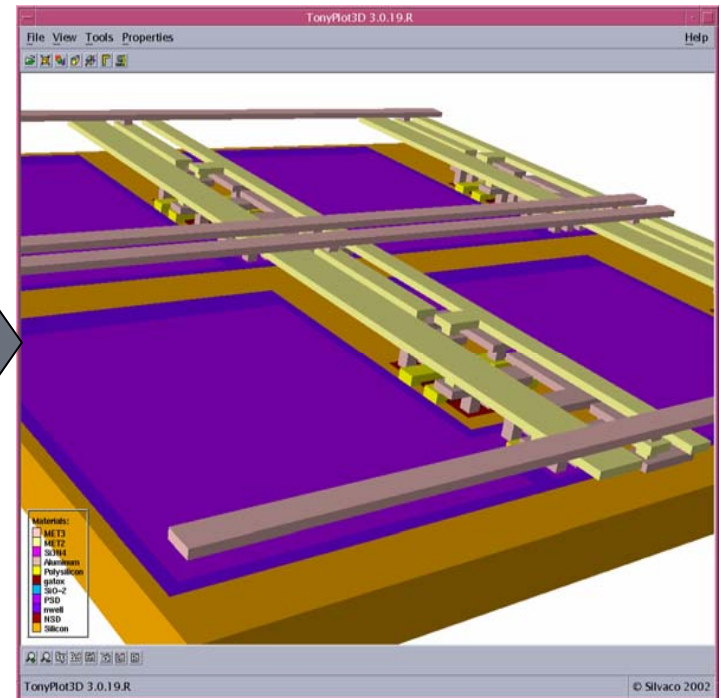
- シンプルで直感的なレイアウト・ドリブンのシミュレーション構文
- 覚えやすい。  
使いやすい。
- ユーザ・フレンドリな入力ファイルやランタイム環境に開発

# CLEVER - 特徴 (続き)

- 直感的なレイアウト・ドリブンのプロセス・コマンドで、3次元構造を生成

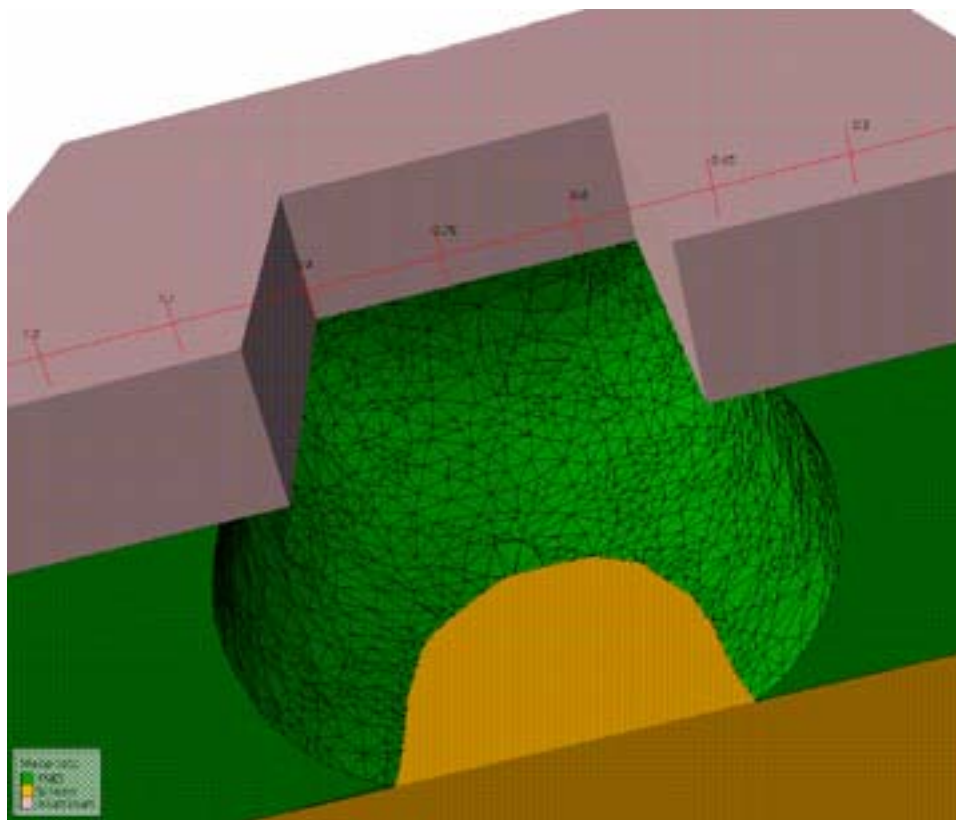


GDS2マスク・レイアウト



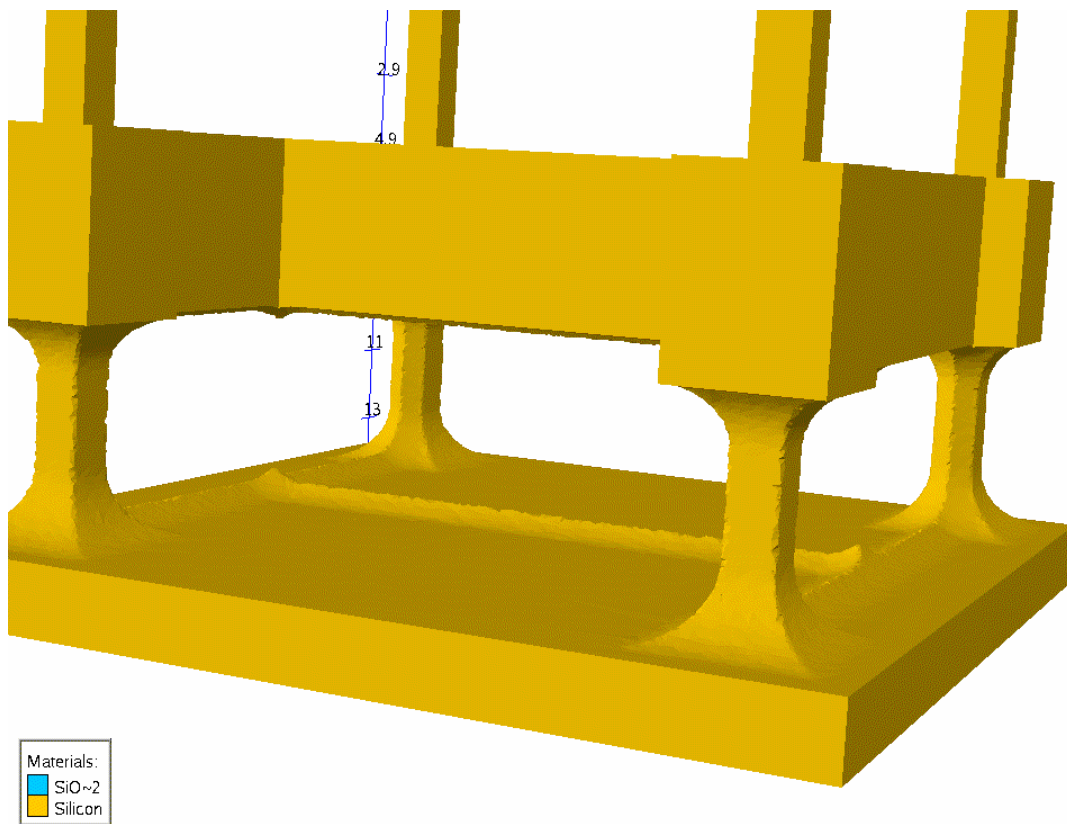
3次元構造

## CLEVER - 特徴（続き）



- 複雑なエッチングに対応
- 完全自動メッシュ生成

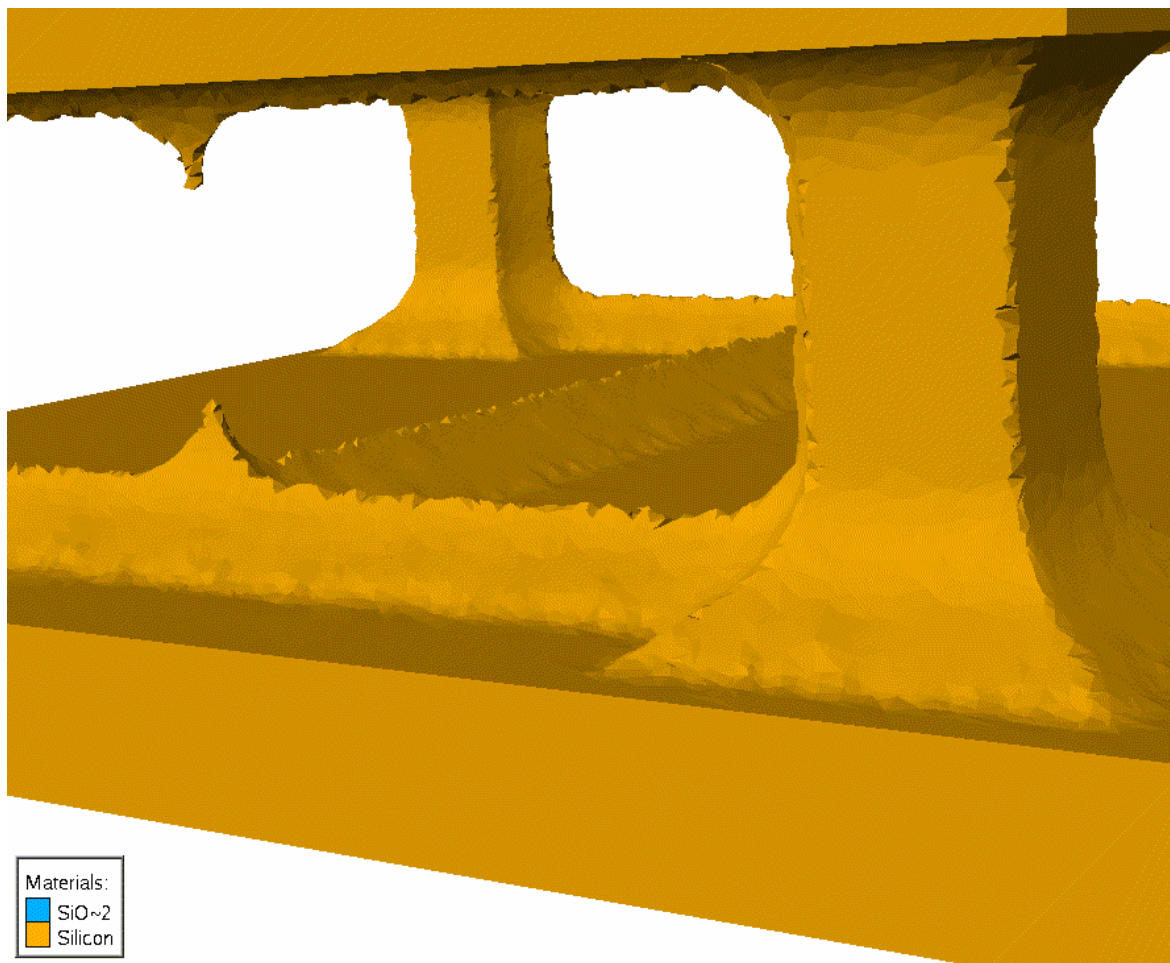
## CLEVER - 特徴（続き）



- 複雑なエッチングに対応
- 完全自動メッシュ生成



## CLEVER - 特徴（続き）

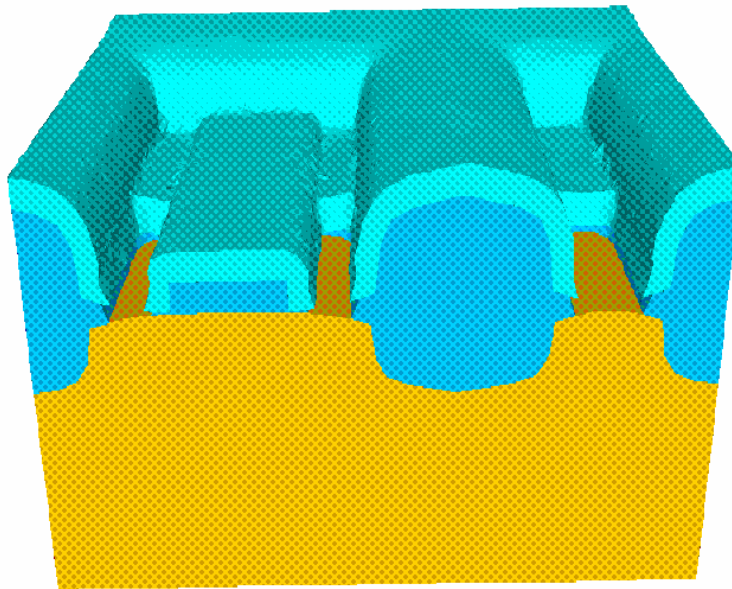


- 複雑なエッチングに対応
- 完全自動メッシュ生成

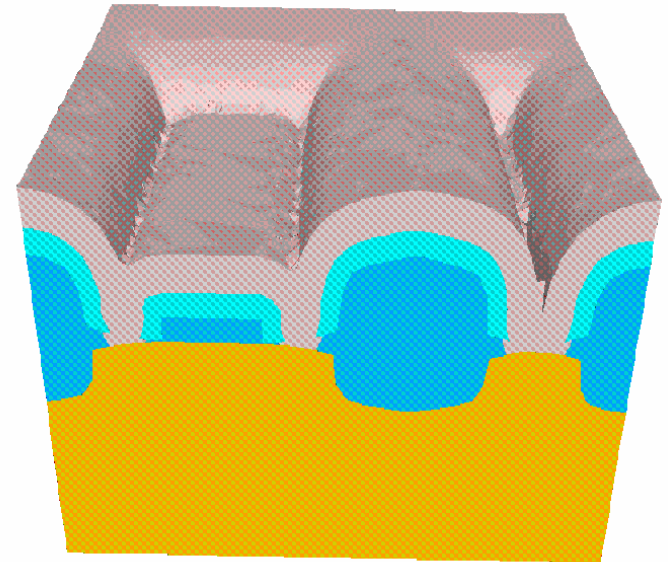


# CLEVER - 特徴（続き）

- 複雑なデポジションに対応
- 完全自動メッシュ生成



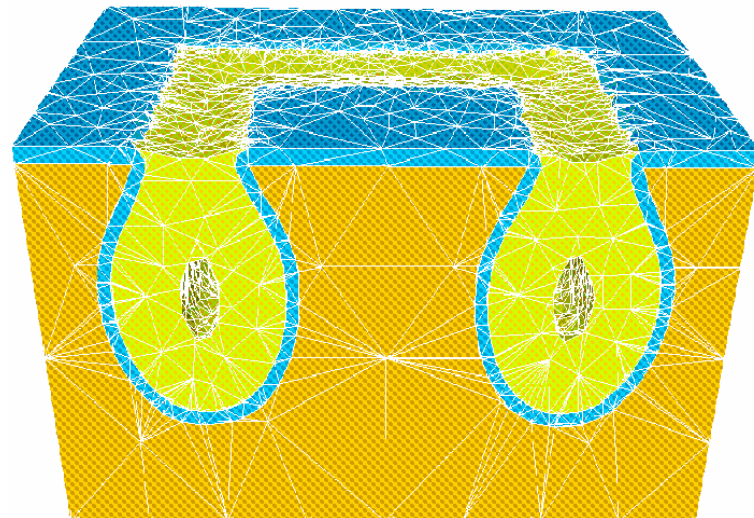
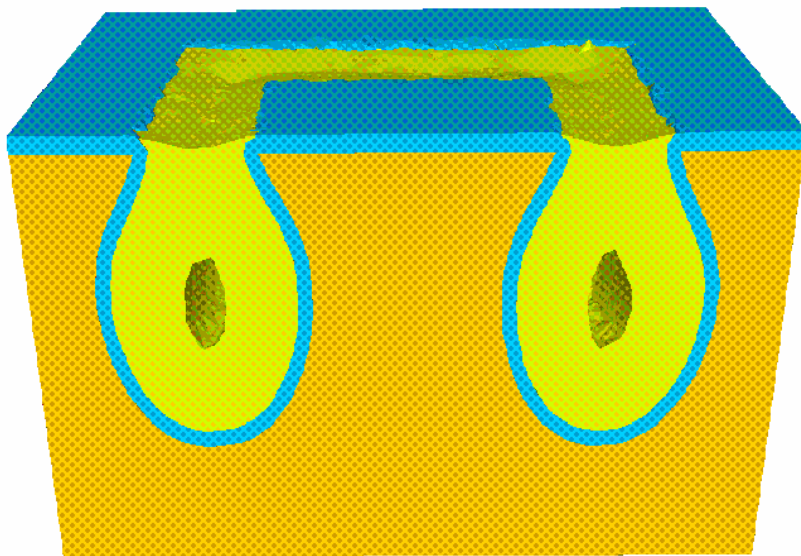
■ Photoresist  
■ Silicon  
■ Si3N4  
■ SiO2



■ Aluminum  
■ Silicon  
■ Si3N4  
■ SiO2

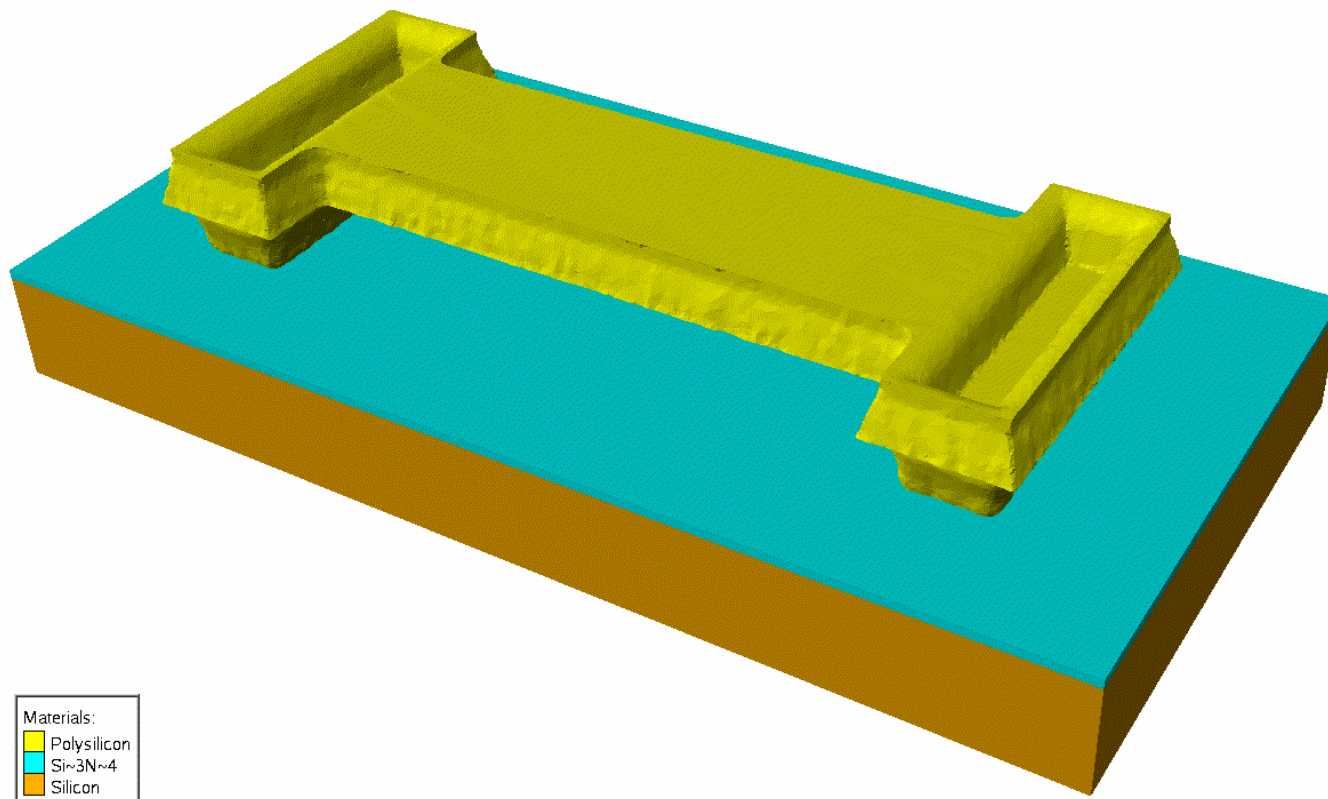
## CLEVER - 特徴（続き）

- 難易度の高いエッチ/デポの組み合わせにも対応

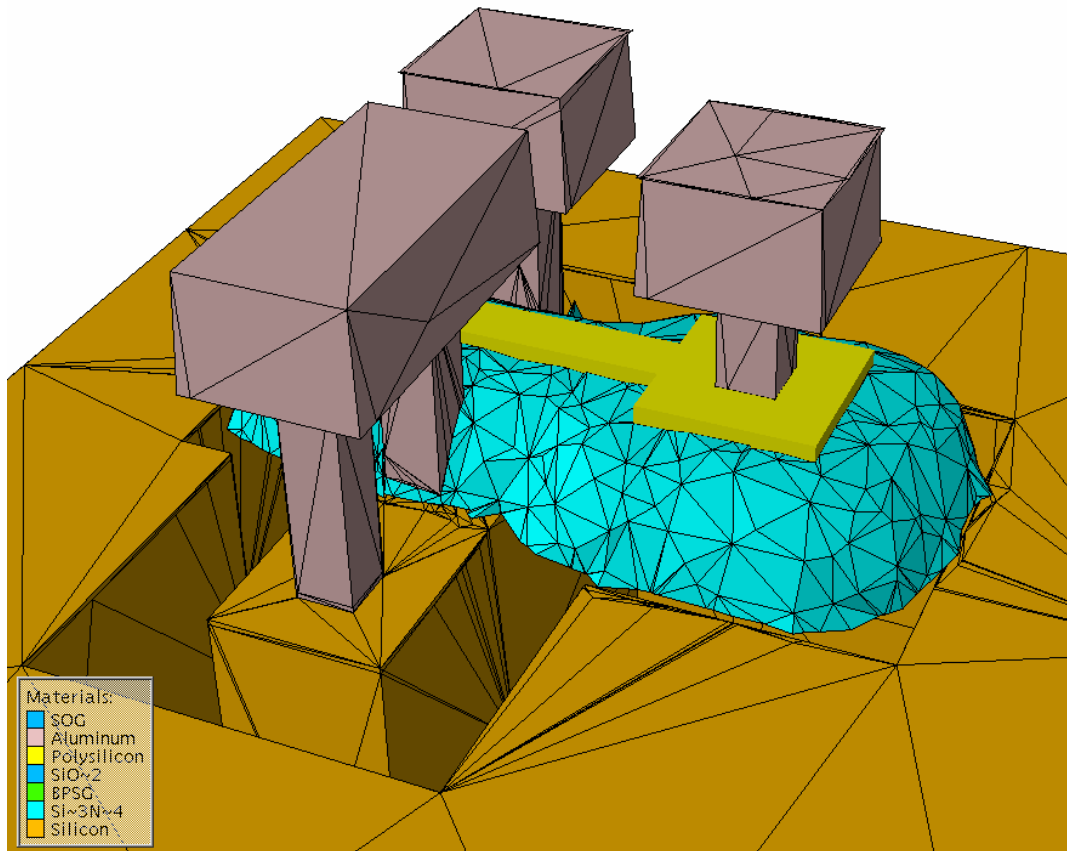


## CLEVER - 特徴（続き）

- 難易度の高いエッチ/デポの組み合わせにも対応



## CLEVER - 特徴（続き）

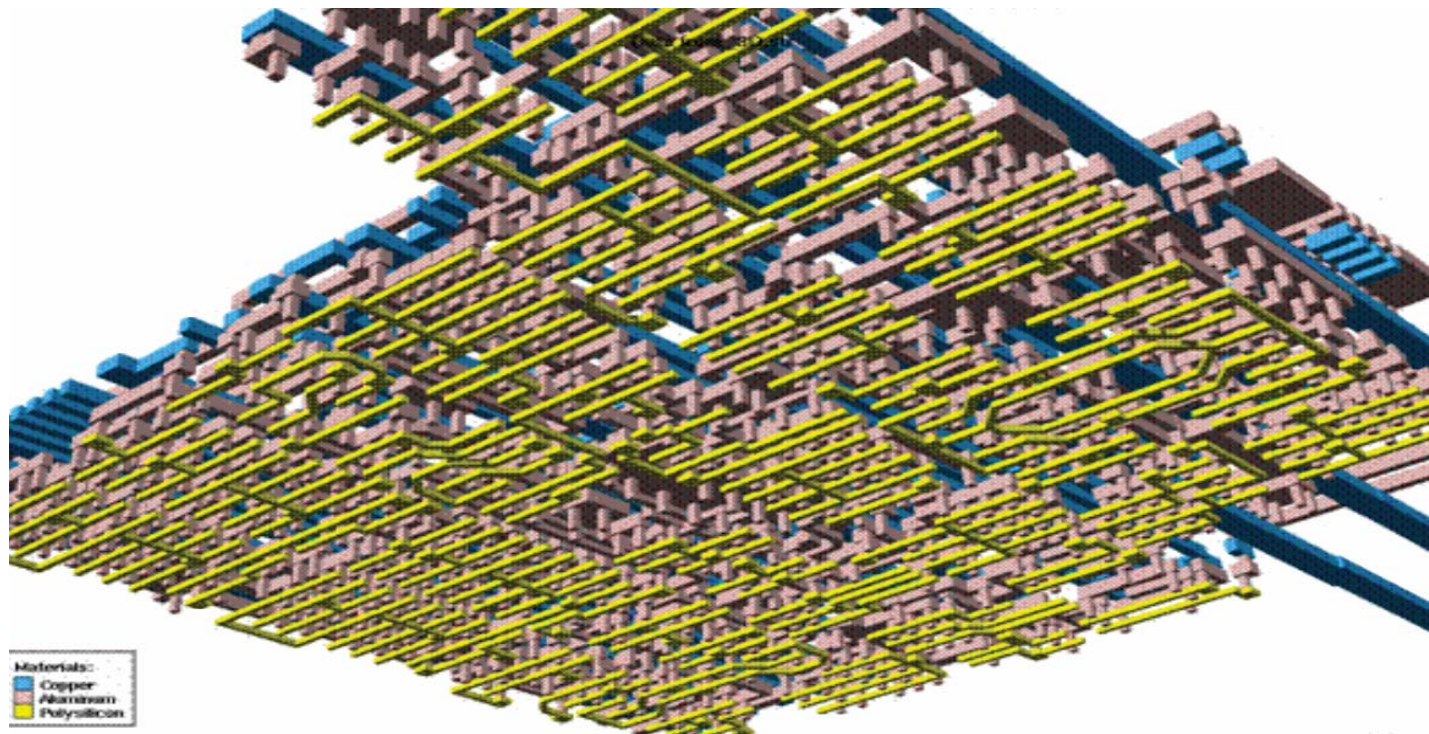


- 50nm MOSFETのエッチ/デポ例
- 三次元処理と幾何学的処理を併用



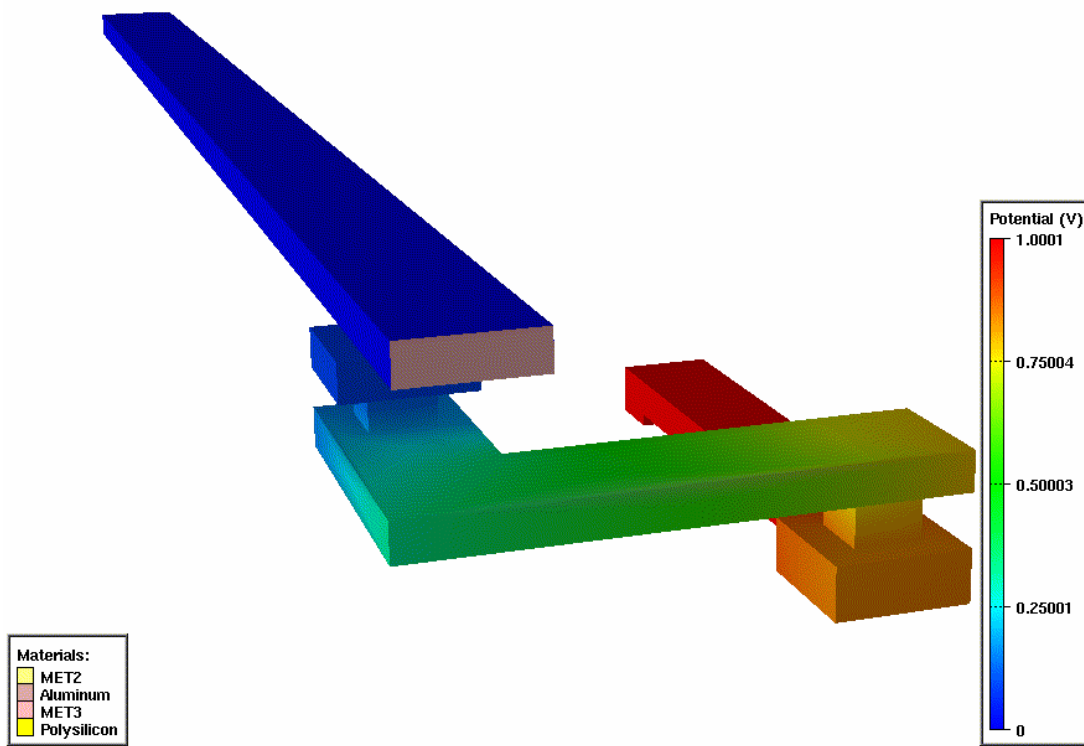
## CLEVER - 特徴（続き）

- オプションの幾何学的エッチ/デポを利用することで、さらに大規模な回路も、同じメモリ上でシミュレーション可



# CLEVER - 特徴 (続き)

- 回路分析用の出力例

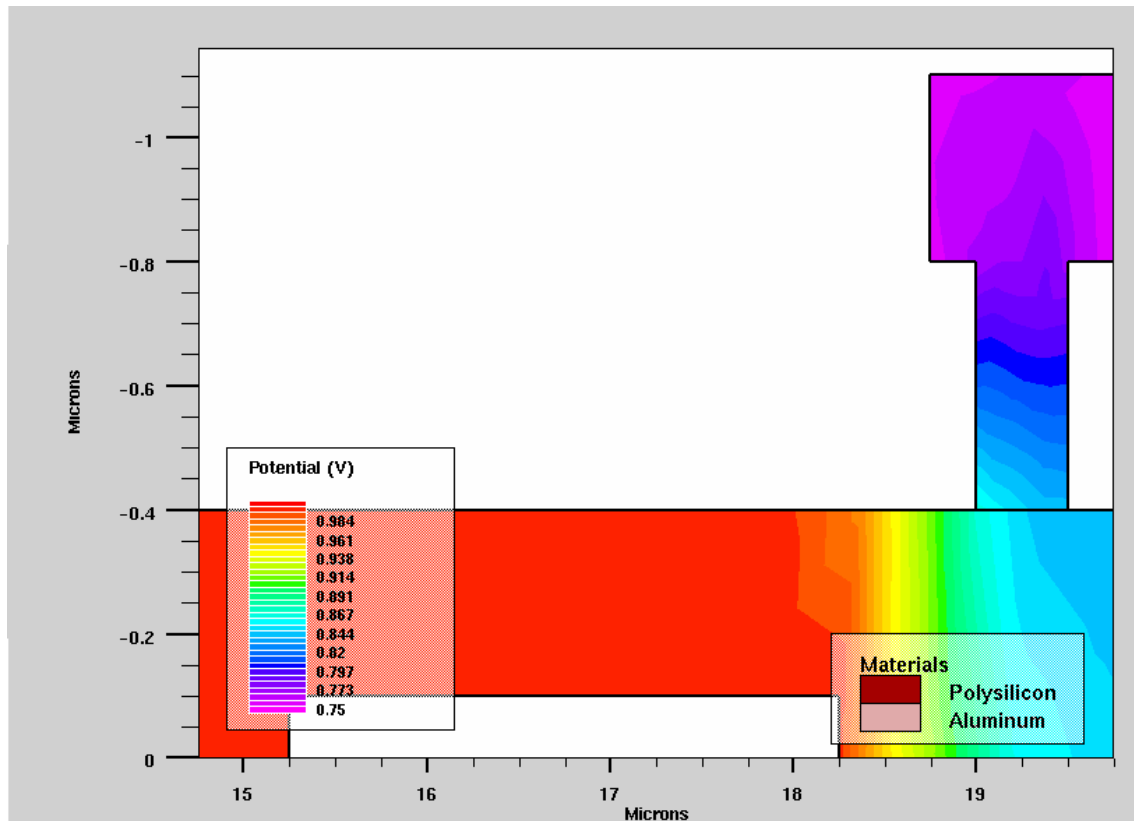


3次元  
ポテンシャル分布



# CLEVER - 特徴 (続き)

- 回路分析からの出力例

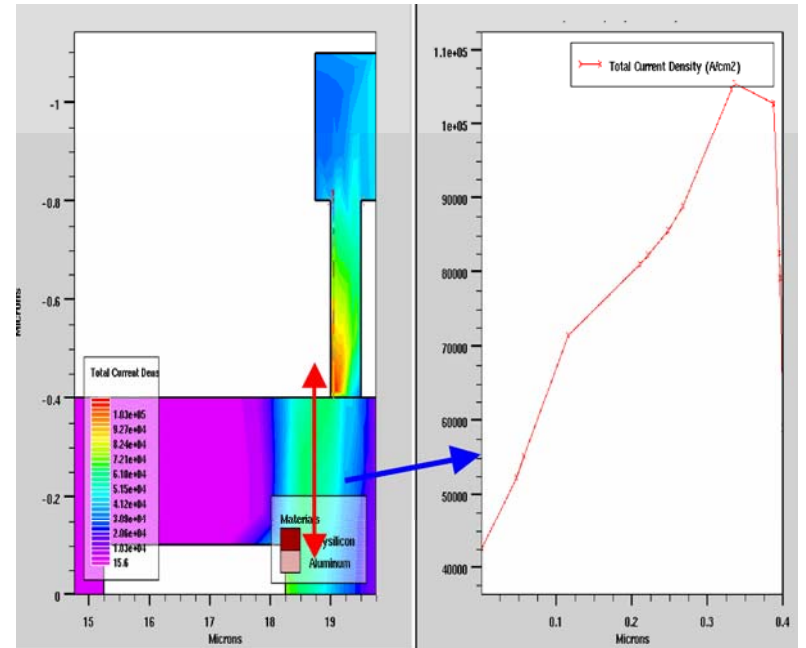
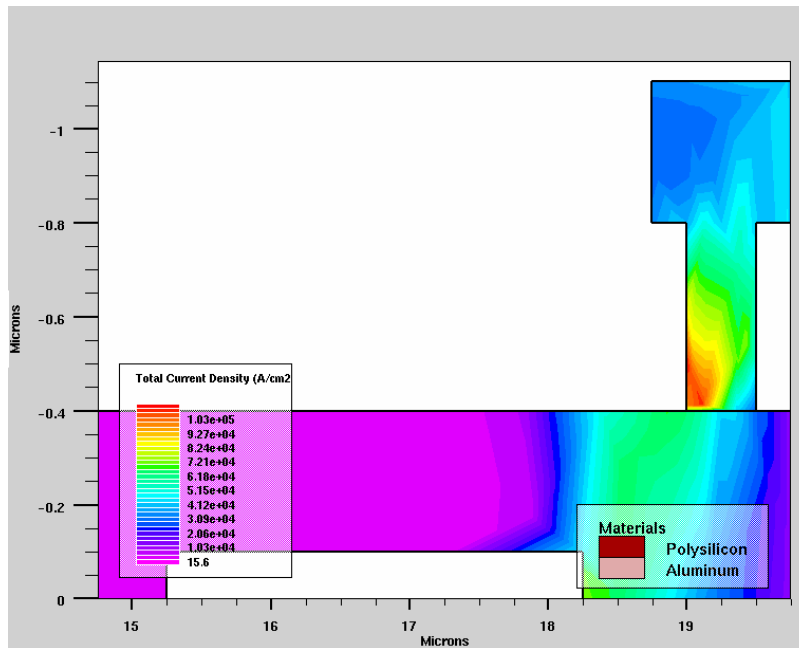


2次元ポテンシャル

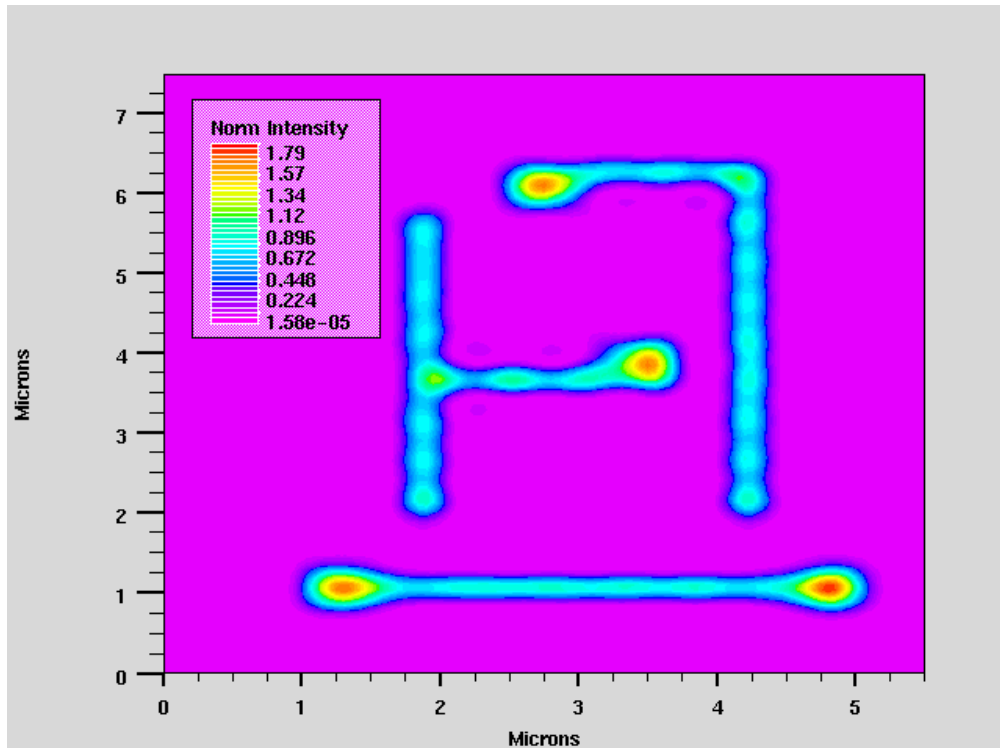
— 3次元グラフィックス・ビューアの  
カットプレーン機能  
を用いて生成

# CLEVER - 特徴 (続き)

- 回路分析用の出力例 - 電流密度 2D/1Dカットライン

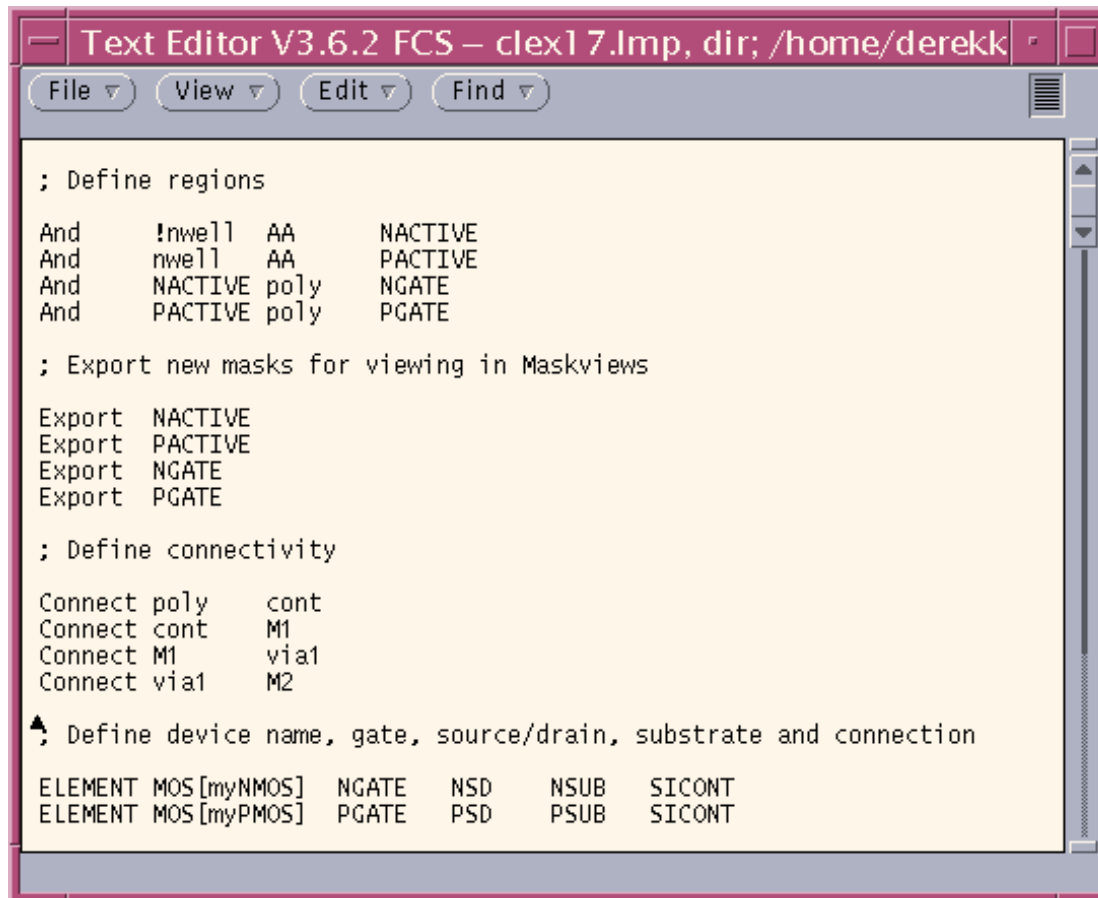


## CLEVER - 特徴 (続き)



- 組み込み型の物理ベース光学ソルバ  
— デフォーカス、露光強度を分析可能

## CLEVER - 特徴（続き）



The screenshot shows a text editor window titled "Text Editor V3.6.2 FCS - clex17.lmp, dir; /home/derekk". The editor contains a netlist extraction script with the following content:

```
; Define regions
And      !nwell  AA      NACTIVE
And      nwell   AA      PACTIVE
And      NACTIVE poly   NGATE
And      PACTIVE poly   PGATE

; Export new masks for viewing in Maskviews
Export   NACTIVE
Export   PACTIVE
Export   NGATE
Export   PGATE

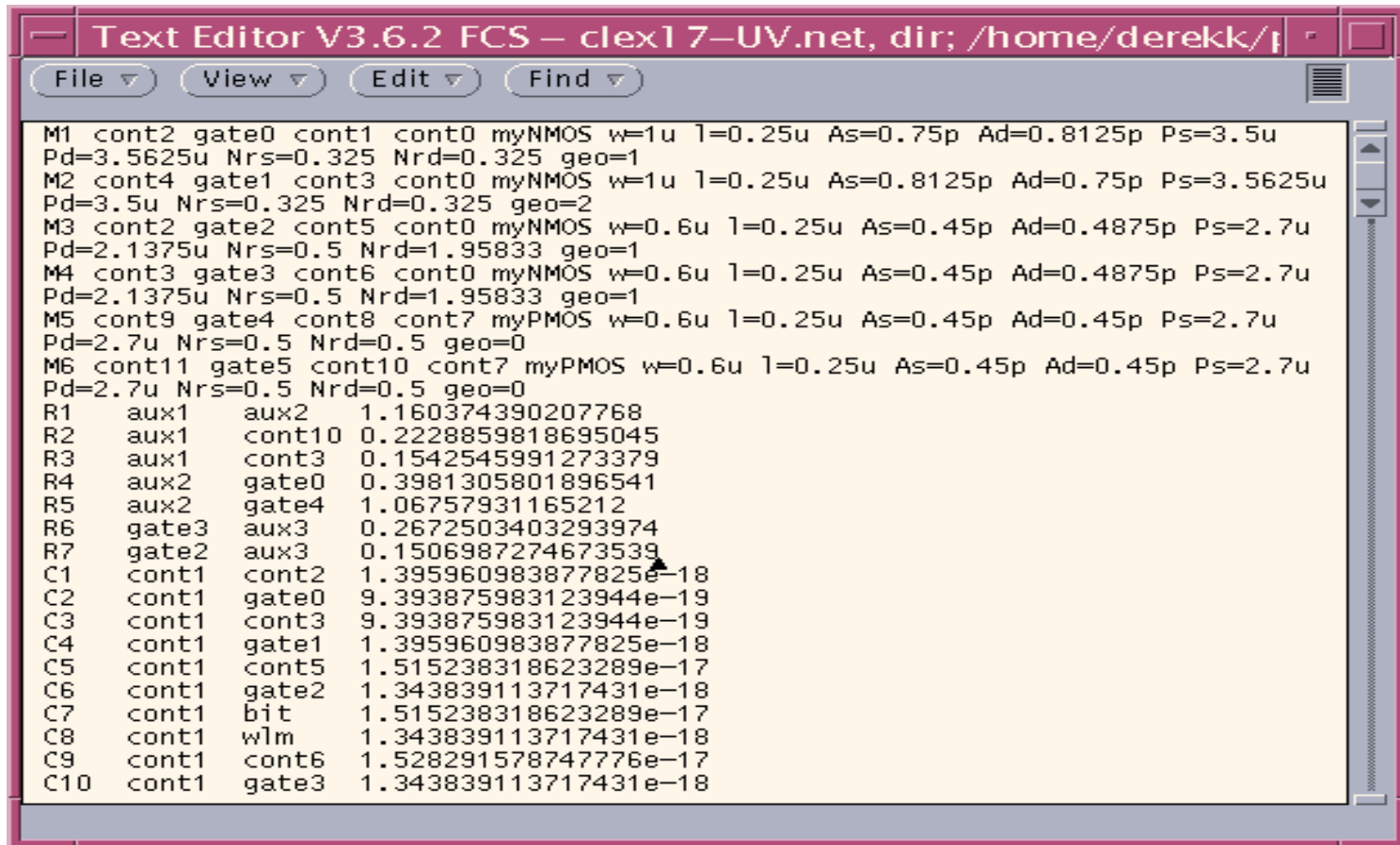
; Define connectivity
Connect  poly    cont
Connect  cont    M1
Connect  M1      via1
Connect  via1    M2

⚡ Define device name, gate, source/drain, substrate and connection
ELEMENT MOS [myNMOS] NGATE  NSD   NSUB  SICONT
ELEMENT MOS [myPMOS] PGATE  PSD   PSUB  SICONT
```

- 簡単に直感的な  
ネットリスト抽出構文

## CLEVER – 特徴（続き）

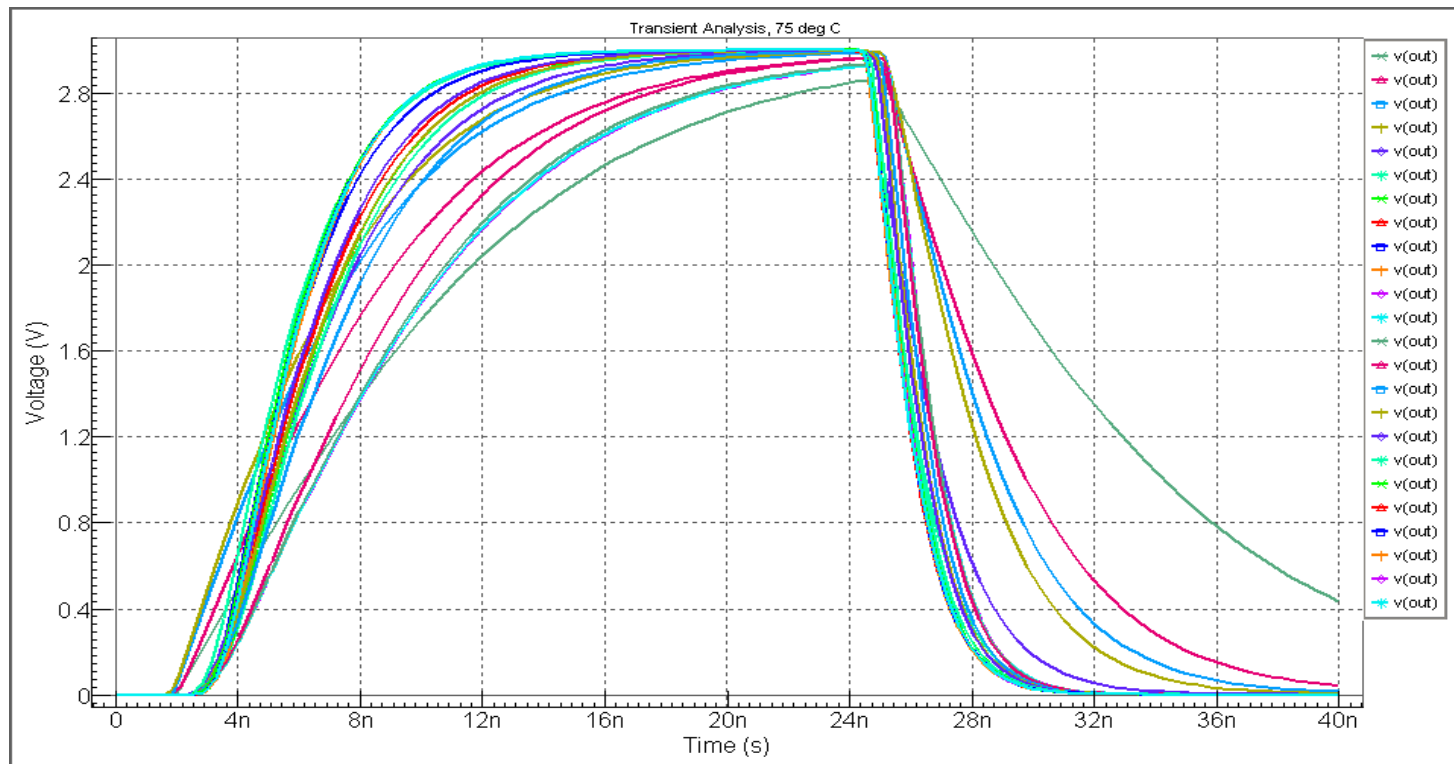
- 自動アノテート済みSPICEネットリストの生成



```
Text Editor V3.6.2 FCS - clex17-UV.net, dir; /home/derekk/
File View Edit Find
M1 cont2 gate0 cont1 cont0 myNMOS w=1u l=0.25u As=0.75p Ad=0.8125p Ps=3.5u
Pd=3.5625u Nrs=0.325 Nrd=0.325 geo=1
M2 cont4 gate1 cont3 cont0 myNMOS w=1u l=0.25u As=0.8125p Ad=0.75p Ps=3.5625u
Pd=3.5u Nrs=0.325 Nrd=0.325 geo=2
M3 cont2 gate2 cont5 cont0 myNMOS w=0.6u l=0.25u As=0.45p Ad=0.4875p Ps=2.7u
Pd=2.1375u Nrs=0.5 Nrd=1.95833 geo=1
M4 cont3 gate3 cont6 cont0 myNMOS w=0.6u l=0.25u As=0.45p Ad=0.4875p Ps=2.7u
Pd=2.1375u Nrs=0.5 Nrd=1.95833 geo=1
M5 cont9 gate4 cont8 cont7 myPMOS w=0.6u l=0.25u As=0.45p Ad=0.45p Ps=2.7u
Pd=2.7u Nrs=0.5 Nrd=0.5 geo=0
M6 cont11 gate5 cont10 cont7 myPMOS w=0.6u l=0.25u As=0.45p Ad=0.45p Ps=2.7u
Pd=2.7u Nrs=0.5 Nrd=0.5 geo=0
R1 aux1 aux2 1.160374390207768
R2 aux1 cont10 0.2228859818695045
R3 aux1 cont3 0.1542545991273379
R4 aux2 gate0 0.3981305801896541
R5 aux2 gate4 1.06757931165212
R6 gate3 aux3 0.2672503403293974
R7 gate2 aux3 0.1506987274673539
C1 cont1 cont2 1.395960983877825e-18
C2 cont1 gate0 9.393875983123944e-19
C3 cont1 cont3 9.393875983123944e-19
C4 cont1 gate1 1.395960983877825e-18
C5 cont1 cont5 1.515238318623289e-17
C6 cont1 gate2 1.343839113717431e-18
C7 cont1 bit 1.515238318623289e-17
C8 cont1 wlm 1.343839113717431e-18
C9 cont1 cont6 1.528291578747776e-17
C10 cont1 gate3 1.343839113717431e-18
```

## CLEVER – 特徴（続き）

- DOEによるプロセスまたはレイアウトの変更にもなう回路特性について即時フィードバック







## CLEVER - まとめ

様々な用途に柔軟に対応できる、理想的なソリューションです。

- 45nmテクノロジーおよびそれ以下における、ビアの寄生容量分析  
(現在、ビアは寄生容量遅延の主な発生源の1つ)
- 低電圧 — ディープ・サブミクロン向け高速寄生分析  
(現在、寄生要素は遅延と信号ノイズの最大発生源)
- 正確なSPICE結果を得るには、3次元プロセスの影響が重要
- TFTピクセル配列に最適。従来のルール・ベース・ツールを使ったコンフォーマル・デポジションの容量解析では、トポロジ効果のため不正確になることが多い。