

はじめてのEDIFインポート: EDIF 200の変換ガイドライン

はじめに

物理レイアウト設計用のEDAツールは、GDSIIデータをやり取りするためのストリーム入出力フローを備えています。GDSIIは、IC製造工程に受け渡される最終的な標準データ・フォーマットとして、広く認知されています。しかしながら、フロントエンド設計段階で使用されるのは、ベンダ色の濃いデータです。スキマティック・キャプチャ/エディタ・ツールごとに、データの表示方法や使用方法は大きく異なります。その上、数ある市販シミュレーション・エンジン間でネットリストのフォーマットが統一されていないため、各スキマティック・ツールによって生成されるネットリストの相違はさらに大きくなります。異なるベンダ間でスキマティック・データとライブラリ・データをどのように移行するかは、複数のツールを使い分ける場合に重要な問題です。ベンダ・プラットフォームを完全に乗り換える場合は、さらなる困難が考えられます。本稿は、Gatewayスキマティック・エディタでEDIF 200フォーマットを最大限に活用するための実用的なヒントを提供します。

変換ガイドライン

ベンダ間でスキマティック・ライブラリ・データを移行する際に重要なのは、想定されるデータ内容を作業者があらかじめ把握していることです。EDIF標準は回路図情報の大部分を規定していますが、それを完全にサポートするかどうかは、各EDAベンダの裁量に任されています。そのため、すべてのEDAベンダのインポート/エクスポート・ルーチンが、EDIF標準の全項目をサポートしているとは限りません。また、たとえベンダ側で全項目をサポートしていても、EDIF標準には、ベンダが独自仕様にせざるを得ない制限がいくつかあります。主な制限は、インポートされる回路図が、個々の素子について回路図と関連付けられたネットリスト情報を持たないことです。ネットリストのシンタックスは、シミュレータごとに固有であり、EDIF標準は、素子間の接続性以外のネットリストに関するデータを規定していません。

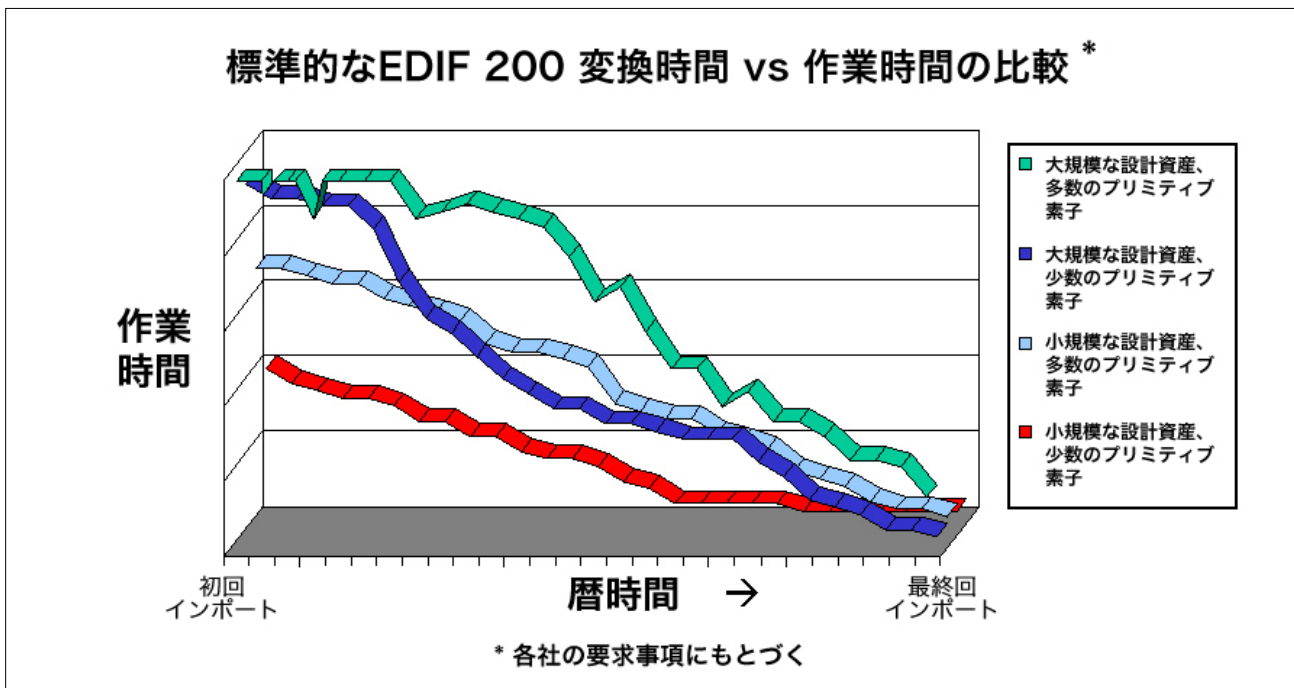


図1

それに加え、EDIFは、各インスタンスについての固有のデバイス・ピヘイビア(設計意図)を定義しません。おそらくこれは、EDIFを使用する際に最も重要なコンセプトです。たとえば、4ピン・トランジスタらしく思われる1つの素子がインポートされたとき、それがプリミティブ素子であって、サブサーキットを呼び出すシンボルや添付されたマクロモデル記述を使用するシンボルではない、と確実に言い切れるのは、元のデザインをよく知っている人だけです。インポートした素子の設計意図が不明または定義されていなければ、回路図は正しく表現されません。たとえば言えば、デザインのレイアウトは自分が担当するが、配置配線は他の人にやってもらうようなものです。それでも、テープアウト前には必ず自分で配置配線を検討する時間をとるはずで、ここでは、EDIFがインポートを行うツールですが、ユーザが設計意図を念頭において、各素子が忠実に表現されるようにEDIFインポートを誘導する必要があります。

図1に示すグラフは、設計資産の状況が異なる4つのケースを示しています。ここで、EDIFのインポート処理と変換作業は、2つのまったく異なる事柄であることに注意してください。インポート処理は、ファイルのインポート処理、および、GatewayによるEDIFファイル内容のライブラリおよびセル自動生成処理を指します。変換作業は、インポートされたデータを、シミュレート可能で、できる限り忠実に回路を表現する有効なネットリストに書き換える過程を指します。図1は、インポート処理と変換作業の両方を含んでいます。

グラフのX軸は、暦時間、すなわち、ベンダXからGatewayへの設計データベースのインポート/変換の開始から終了までを表しています。Y軸は、作業時間、すなわち、変換作業にかかった時間の割合を示します。このグラフから、時間が経つにつれて、インポート処理、変換作業、データ検証作業に費やされる時間が、異なるペースで減少していくことが分かります。減少のペースは、インポート/変換対象の元データの規模と、設計データベースに含まれるプリミティブ素子の数に比例します。プリミティブ素子とは、サブサーキットやサブスケマティックとして表現されているのではなく、真のSPICEプリミティブ素子として機能する素子のことです。

どのような設計資産も、Gatewayに初めてインポートする際は、すべての素子をインポートする必要があります。2回目以降のインポートでは、Gatewayで、すべてを再度インポートするか、以前インポートされたセルを無視するかを選択できます。多くのユーザは、データベースにすでに存在するセルを無視することを選択します。それは次のような理由からです。

- 1) 時間を節約するため
- 2) セルがすでにインポートされている場合、ネットリスト化のための変換作業にすでに時間をかけている可能性があり、その変更内容を失わないため

デザインが1つインポートされるたびに、設計資産がGateway内に蓄積されていきます。また、インポートされたデザインが多くなるほど、新しくインポートされるセルは減っていきます。なぜなら、多くのデザインは、すでにインポートさ

れ、Gatewayライブラリ内に保存されている設計資産を再利用しているからです。

図1より、全期間に渡って変換作業に最も多くの作業量が必要となるデータベースは、多くのライブラリ/セルと、多くのプリミティブ素子を持つデータベースであることが明らかです。この場合、初期の作業は、プリミティブ素子が正しく変換されているかどうかを確認する作業に費やされます。現実には真のプリミティブ素子の数は有限ですが、1つのプリミティブにさまざまな種類が存在することがあります。4ピンのPMOSシンボルが1つの例です。SPICEには、PMOSプリミティブは1つしかなく、「M」素子、またはMOSFET素子として知られています。しかし、ユーザ・データベースには、1つのPMOS素子が含まれる場合だけでなく、特定のモデル、属性、値と関連付けられた固有のPMOSセルとして10数個のPMOS素子が含まれることもあります。図1では、このような、多数のプリミティブ素子を持つ大規模な設計資産における状況が緑色の線で示されています。

図1において、多数のセルと少数のプリミティブ素子を持つ設計資産は、紺色の線で示されています。たとえば、多くのセルが同一のPMOS素子やNMOS素子を使用しているような場合です。これらのPMOS素子やNMOS素子は、1回目のインポート時に出現している可能性が高いため、1回変換すれば完了です。それらの素子を使用するデザインを次にインポートした際には、再作業の必要はないか、あってもそれほど多くありません。一方、図1の赤色の線は、少ないプリミティブを持つ小規模なデザインを示しています。グラフより、プリミティブは最初の何回かのインポート時に変換され、その後のインポートと変換は、最小限の作業量でほとんど即座にできていることが分かります。

まとめ

EDIFインポート・ツールを使用して、他のベンダからGatewayへ設計資産を移行する際の成功の鍵は、元のデザインを熟知していることです。設計意図の把握に加え、設計資産の規模とライブラリ内のセルのタイプ(プリミティブ素子か否か)が、変換完了までに必要な時間と作業量を検討するために重要な要素です。