

# CLEVER による IPS 方式 TFT-LCD の容量カップリング予測

## はじめに

TFT 液晶ディスプレイ (以下 TFT-LCD と呼ぶ) の需要が高まるにつれ、ディスプレイの大型化、高解像度化への要求も高まります。そのような中、「クロストーク」と呼ばれる、データ・バスラインと表示電極間の電气的カップリングに起因する、視野角の狭まりや画質の劣化が深刻な問題になっています。

IPS (in-plane switching) 方式は、極めて広い視野角を実現する優れた技術として知られています。しかし、TN (twist nematic) 方式の TFT-LCD と比較して、140dpi より大きい画素サイズにおいて開口率が低いという問題があります [1]。

IPS 方式では、電極構造が適切に設計されていないと、開口率が低下し、クロストークが目立つようになります。駆動電極とデータ・バスライン間の寄生容量カップリングに起因するクロストークが、画質劣化の要因になることはよく知られています。このクロストークは、IPS 構造のデータ・バスラインと共通電極の間に、SiNx などの厚い誘電体膜を設けることで低減できます。同じ膜厚で比較すると、有機膜は無機膜よりも製造コストが安いので、低誘電率の有機パッシベーション膜がクロストーク低減策の 1 つであると言われています。

IPS 方式 TFT-LCD のクロストーク低減策としてよく行われるのは、電極の配置を最適化して、データ・ラインにおける電圧変化が、画素電極および表示領域に影響しないように保護することです。

その結果、IPS 方式は、液晶そのものよりもプロセス変動の影響を受けやすくなります。アレイ・プロセスや、電極の幅、高さ、表面トポロジなどのばらつきを正確に考慮する必要があります。コスト的にも、性能の最適化の点でも、有機膜または無機絶縁膜の厚さを最適化することは重要です。

本稿では、CLEVER による TFT-LCD の画素構造の高精度なシミュレーション、および、IPS 方式 TFT-LCD におけるクロストークの解析機能を紹介します。

## CLEVER による FPD シミュレーション

CLEVER は、超ディープ・サブミクロン (VDSM) 設計に対応した、優れた寄生素子抽出ツールです。CLEVER は、アクティブ領域と画素領域のアスペクト比を考慮したすぐれたメッシュを採用しています。

角度やアンダーカットを持つゲートの金属パターンもシミュレーションできます。CLEVER の先進的な 3 次元プロセス・モデルによって、金属や膜の形状の正確なシミュレーションが可能となります。CLEVER は、IPS 方式 TFT-LCD の寄生容量およびクロストークを正確に予測するのに欠かせないツールです。

表 1 は、共通電極と画素電極間の構造を変化させたとき、CLEVER で計算した寄生容量が測定値と良く一致していることを示します。図 1 に、比較のために、一般的な IPS 方式 TFT-LCD の電極構成を示します [5]。

	meas(total)(fF)	Clever(Clc/Cdc/Clc+Cdc)		
Ref	99.6	51.0	53.4	104.4
1	93.46	41.2	52.6	93.8
2	91.25	36.5	54.3	90.8

表 1. コモン電極と画素電極の間隔を変化させたときの、共通電極と画素電極間の容量および共通電極とデータ・ライン間の容量 (精度 = 5%)

※液晶誘電率 = 12.1

Ref/1/2: コモン電極と画素電極の間隔の昇順

## CLEVER を使用した IPS 方式 TFT-LCD のカップリング容量計算

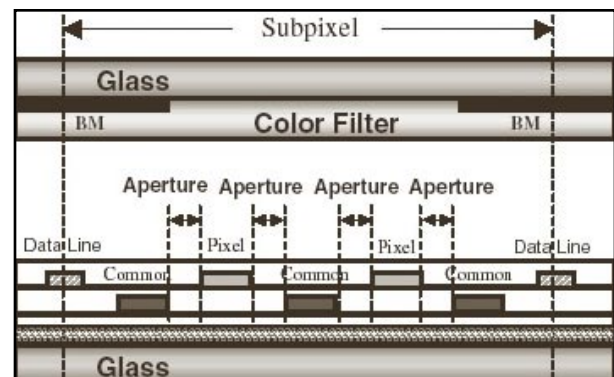


図 1. 一般的な IPS 方式 TFT-LCD の断面構造 [5]

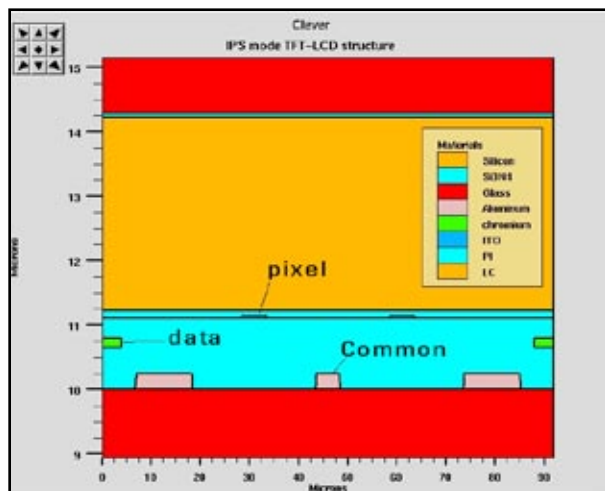


図 2. CLEVER で作成した構造。コモン電極がテーパ形状を有しています。

容量抽出を正確に行うためのデータとして、IPS方式の電極構成を CLEVER でシミュレーションしたのが図 2 です。各電極は先進のエッチ / デポ・プロセスを使用してシミュレーションされています。文献 [1] および [5] によれば、画素電極のカップリング電圧  $\Delta V_p$  は、以下のように定義されます。

$$\Delta V_p = \frac{C_{pd1} \Delta V_{d1} + C_{pd2} \Delta V_{d2}}{C_{LC} + C_{pd1} + C_{pd2} + C_{pg1} + C_{pg2} + C_{po} + C_{GS} + C_{st}} \quad (1)$$

TN方式の TFT-LCD と比較すると、全電極が基板と同じ側に配置されているため、(1) 式の分母が小さくなります。よって、IPS方式 TFT-LCD で  $\Delta V_p$  を抑制するためには、 $C_{pd1}$  および  $C_{pd2}$  の値を TN方式における値より小さくしなければなりません。

容量カップリング率 (capacitive coupling ratio: CCR) はクロストークの程度を表現するのに良い近似式です。

$$CCR = \frac{C_{pd1} + C_{pd2}}{C_{LC}(V) + C_{pd1} + C_{pd2} + C_{pg1} + C_{pg2} + C_{po} + C_{GS} + C_{st}} \quad (2)$$

図 3 は、電極構成と、(1) 式と (2) 式に対応する等価回路を示します。

- $C_{LC}$  - 液晶容量
- $C_{pd1}/C_{pd2}$  - 隣接するデータ・ラインおよびデータ・ラインと画素電極間のカップリング容量
- $C_{pg1}/C_{pg2}$  - 隣接するゲート・ラインおよびゲート・ラインと画素電極間のカップリング容量
- $C_{po}$  - アレイ基板における画素電極とコモン電極間のカップリング容量
- $C_{GS}$  - TFT のゲートとソース間の寄生オーバーラップ容量
- $C_{st}$  - 蓄積容量

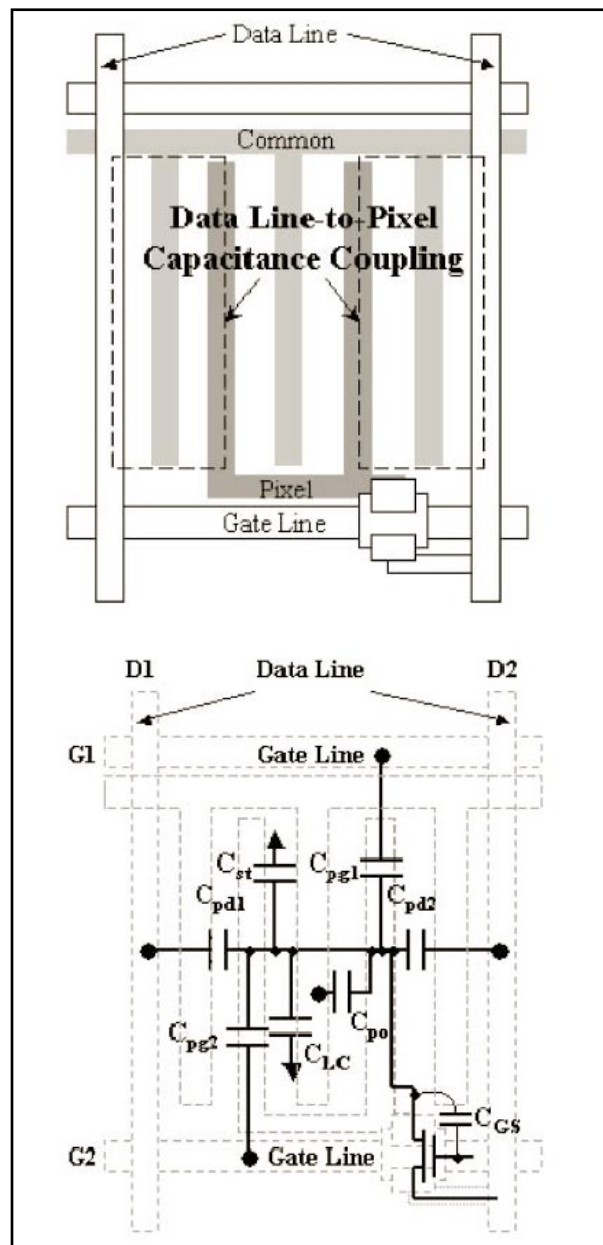


図 3. 1 画素の等価回路

$C_{LC}$  に依存した電圧については、一定の電界がかかったとき、液晶材料の誘電率に依存すると考えることができます。

図 4 では、画素電極とコモン電極間の構成を酸化膜または非有機物膜 [4] とした場合の、カップリング容量の抽出結果を比較したものです。ここでは、IPS 構造のデータ・ラインと画素電極間およびデータ・ラインとコモン電極間のカップリング容量を、CLEVER を使用してシミュレーションしました [4]。

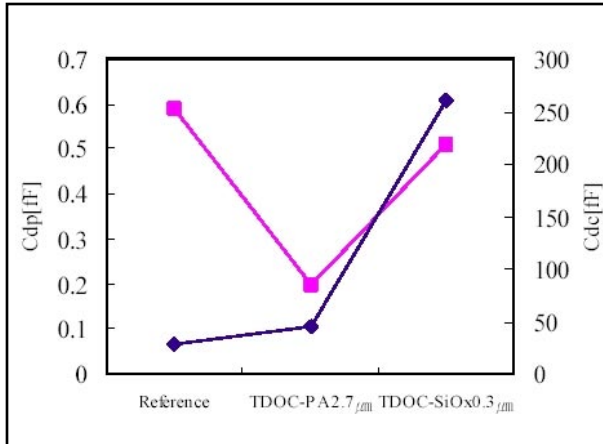


図 4. 異なる電極構成 [4] を持つ IPS 構造のカップリング容量のシミュレーション (CLEVER 使用)

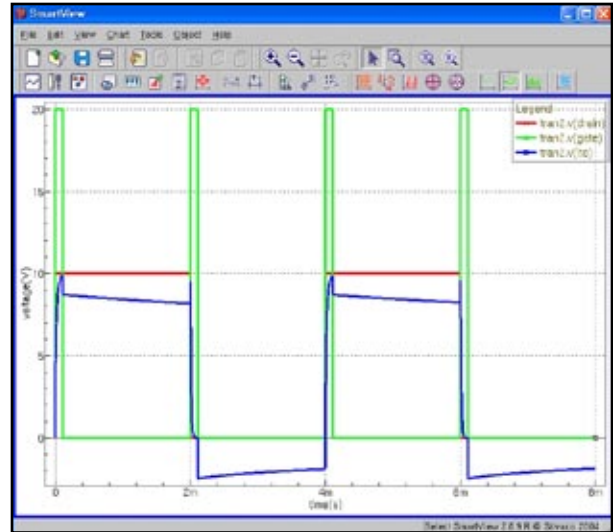


図 6. SmartSpice による 1 画素のシミュレーション

### 寄生 RC による遅延シミュレーション

CLEVERで抽出した寄生ネットリストを SmartSpice につないで、データ・ライン方向の寄生 RC 遅延効果をシミュレーションできます。なお、この実験では 1 画素のみをシミュレーションします。

```

M1 drain gate ito nTFT w=49u l=38.5714u As=1274p
Ad=2439p Ps=150u Pd=610u Nrs=0.142857 Nrd=0 geo=0
C1 substrate gate 7.0162449e-14
C2 substrate drain 1.815544e-14
C3 substrate data 2.0479665e-14
C4 substrate ito 1.4275399e-13
C5 gate drain 1.169502e-13
C6 gate data 4.7088442e-14
C7 gate ito 4.6344247e-13
C8 drain ito 4.1971866e-15
C9 data ito 7.8982418e-15
lib "tft.lib" ntft
vg gate 0 dc 20 pulse 0 20 0 1u 1u 108u 2m
vd drain 0 dc 10 pulse 0 10 0 1u 1u 2m 4m
vcom com 0 dc 5
mntft drain gate ito ntft w=20u l=5u
cst ito com 1.06p
re ito co 1.28k
co co lc 317f
rlc lc com 10g
clc lc com 125f
cgs gate ito 20f
cgd gate drain 20f
.tran 0.1u 8m
.save v(drain) v(gate) v(itd)
.end
    
```

図 5. 画素シミュレーションを行うための SPICE 入力ファイル例

### まとめ

CLEVER の高精度な 3 次元フィールド・ソルバによって、TFT-LCD の設計におけるさまざまなカップリング容量の発生源を予測でき、クロストークも予測することができます。

パッシベーション膜や電極構成などのプロセス変動は、CLEVER で容易にシミュレーションできます。統合ツールによるフローとして、CLEVER と SmartSpice は、フルパネル設計に向けて有用なフレームワークといえます。

### 謝辞

2005 年 IDW (ディスプレイ国際ワークショップ) のポスターに掲載された測定データなどを提供し、使用を許可して下さった LG フィリップス LCD 社の R&D センター (韓国安陽市) のシニア・エンジニア Lee, Dong-hoon 氏に感謝します。

### 文献

- [1] J.S. Lin, Jpn J.App. Phys. Vol43, No.4A, 2004, p1476-1480
- [2] Y. Z. Muju Li, IEEE Trans. ED vol.48, No.2, Feb.2001, p218
- [3] Webster E. Howard, IEEE Trans. ED, vol.36, No.9, Sept.1989, p1938
- [4] H.S. Chang, LCD R&D Center, LG-Philips LCD, Korea, "Novel pixel structure of IPS panel for High Aperture Ratio using inorganic layer.", IDW 2005
- [5] J.S Lin, Jpn. J. Appl. Phys. Vol44, no.8, 2005, pp6178