

Catalystによる自動ポート検出

はじめに

Catalystにブロックのほとんどのポートを自動的に検出するための新しい機能 (TCLコマンド) が追加されました。この新しい機能を使用するためにはブロックの事前知識は必要ありません。ブロックの SPICE ネットリストの解析後に、INPUTS、OUTPUTS、POWERS、GROUNDSと思われるポートがレポートされます。クロックは、INPUTSに含まれレポートされ、クロックとして分類されません。Catalystの現在のバージョンでは、トライステートにより駆動される双方向ポート (INOUTS) はサポートされていません。また、パス・ゲートに接続されるポートもサポートされていません。これらのポートがブロックに含まれている場合、手動で指定する必要があります。

目的

この機能の目的は、ブロックのポートの定義に関する情報が失われてしまって容易に設定できない場合に、ポートの定義を生成することです。レポートされたデータを SPICE から Verilog への変換用に Catalyst .cfg ファイルにコンバートするには、レポートされたポートを単にリストするだけです。クロックについては、すべての入力リストから特定し、各クロックを個別の `clocks` ステートメントでドメインと共に宣言します。同じドメインと位相のクロックは1つの `clocks` ステートメント中に記述できます。逆位相のクロックは、同じドメイン名で、ただし、前に "!" (バング) を付けて宣言する必要があります。

使用法:

```
linux% catalyst <file_name>. tcl
```

(in the <file_name>.tcl file)

```
analyze_boundary <config_file>
```

最初の .cfg ファイルには、2つのコマンドのみ定義する必要があります。3つ目のコマンドはオプションです。これらのコマンドの順番は関係ありません。

```
IN_FILE_NAME my_block.sp
MOSFET_TYPE <device_type_name>
{pmos|nmos}
[SPICE_TOP_SUBCKT <top_level_subckt_
name>]
```

IN_FILE_NAME - 解析する SPICE ネットリストのファイル名を指定します。回路は複数のファイルに分割されていてもかまいません。この場合、ファイル名リストを指定するか、このコマンドを複数回指定して複数のファイルを参照します。

MOSFET_TYPE - 能動素子のタイプとその極性を指定します。このコマンドは、ネットリストに含まれる各能動素子およびその極性を個別に定義するために複数回呼び出す必要があります。

SPICE_TOP_SUBCKT - ネットリストの最上位デバイスが .SUBCKT で定義されている場合、その名前を指定します。この最上位の .SUBCKT には、.SUBCKT および / または他の階層インスタンスを参照する Xcall(サブサーキットコール) が含まれている可能性があります。

例:

(in the <file_name>.tcl file)

```
analyze_boundary my_block_init.cfg
```

(in the <block_name>.cfg file)

```
IN_FILE_NAME my_lock.sp
MOSFET_TYPE pch pmos
MOSFET_TYPE nch nmos
SPICE_TOP_SUBCKT top
```

(log fileへのレポート)

```
INPUTS a b c clk
OUTPUTS out
POWERS vdd
GROUNDS gnd
```

注記:

グローバル・パワーおよびグランド・ネットは、 x1-vdd x2-vdd x1-gnd x2-gndなどとしてローカルにレポートされます。これらは、ローカル参照の代わりに、グローバル名 (vdd, gnd)によって .cfgファイルに宣言する必要があります。

(Catalystの<block_name>.cfg fileは以下のようになります。)

```
INPUTS a b c
CLOCKS foo clk
OUTPUTS out
POWERS vdd
GROUNDS gnd
```

ここで、 fooは任意のクロック・ドメイン名です。

付録

.cfgファイルにおけるポート・コマンドの基本シンタックスを次に示します。

シンタックス:

```
INPUTS <inputs>
CLOCKS [!]<domain_name> <clocks>
OUTPUTS <outputs>
INOUTS <bi-dirs>
POWERS <powers>
GROUNDS <grounds>
```