

AccuCore STAによる DSPFバックアノテーション タイミング検証の設計フロー

要約

本稿では、タイミング検証中において、いつ、そしてなぜDSPFアノテーションを必要とするのかを示し、この高度なタイミング解析を使用するために必要なSILVACO設計フローのプロセス手順について説明します。また、本稿では、ツールとしてExpert、HIPEX-NET、HIPEX-RC、ClarityRLC、AccuCore/AccuCore STA、SILOS、ならびにデータ・フォーマットとしてGDSII (Graphical Design System II)、DSPF (Detailed Standard Parasitic Format)、SDF (Standard Delay Format)、Liberty .lib NLDM (Non-Linear-Delay-Model)、Verilog RTL (Register Transfer Level)を扱います。

バックグラウンド

検証作業において、最新のICデザインをテーパーアウトするために必要な労力は、実際の設計作業を凌駕してきました。タイミング検証は回路のテーパーアウト・プロセスにおいて重要ですが、時に困難で時間のかかるステップです。従来、Verilogゲート・レベル・ネットリストは、ユーザのテストベンチであるテストベクタとVerilogゲート・レベル・タイミング検証モデルを用いてファンクションとタイミングの要求が満たされているかをSILOSなどのイベント・ドリブン型論理シミュレーションによりシミュレートされてきました。

プロセス・テクノロジーが、配線容量よりゲート容量が大きいサブミクロン (0.5um以上)からゲート容量が配線容量より小さいディープ・サブミクロン (0.5um未満)に移行するにつれ、配線負荷による遅延の影響を無視したり、比例配分されているシンプルなタイミング・マーージでは補償されなくなりました。配線負荷見積りモデルとSDFバックアノテーションを用いることにより、Verilog回帰シミュレーション中に詳細なネットに基づいたタイミング効果を追加することができます。

プロセス・テクノロジーが縮小し続け、回路が比例して大規模になるにつれ、ゲート・レベルのタイミング回帰シミュレーションの実行時間は大幅に増加しました。また、ゲート・レベルの回路設計もかなり困難になりました。しかし、RTL論理合成と統計的な配線負荷モデルを用いたLiberty .lib NLDMタイミング・モデルによって、回路設計は迅速かつ簡単に行えるようになりました。ただし、現在のベクトル・ベースのシミュレーション手法に基づいたタイミング検証にはなお問題点があります。

ポスト合成後のVerilogゲート・レベル・ネットリストと合成時のツールに使用されたのと同じLiberty .lib NLDMタイミング・モデルを利用する、ベクタレスなSTA手法により、タイミング検証、タイミング・モデル、および遅延計算の相関関係効果が容易になります。当初、SDFバックアノテーションは必要なさらなるネットに基づくタイミング効果の詳細を提供するのに用いられ続けてきました。しかし、STAとSDF手法の欠点により、回路のQoR (Quality of Result)が制限され始め、VDSM (Very Deep Sub-Micron) プロセス・テクノロジー(90nm以下)の非線形係数効果を考慮するために必要な性能が提供されませんでした。VDSMでは、長い配線、サブノード・ネット遅延、およびノイズ/シグナル・インテグリティ(SI)の影響を正しく考慮するために、実際のカップリング容量のネットワーク構造を含む詳細なRCツリー寄生情報が必要になりました。

設計フロー

DSPFは、GDSII形式のデータから回路の実物理レイアウトの配線後の配線抵抗(R)と容量(C)寄生情報を変換した業界標準形式です。AccuCore STAなどのSTA (Static Timing Analysis)ツールは、DSPFデータをインポートし、回路のタイミングとノイズ/SIの振る舞いにおける実際の配線負荷による影響を考慮するためにこれらの値をフラットなゲート・レベルのVerilogネットリストにバックアノテートします。Verilogネットリストは、単独で回路のゲート間の基本的なLVLS接続情報を提供します。Liberty .lib フォーマットのゲート・レベル・タイミング・ライブラリは、回路のゲートに対して、傾き、負荷、入力/出力タイミング、およびファンクションを提供します。初期あるいは予備的な配線前のタイミング見積りは、ゲート・レベル・ネットリストとタイミング・モデルを用いるだけで可能で、配線負荷と配線遅延の影響を無視します。

HIPEX-RCを内蔵したExpertもしくはHIPEX-RCスタンドアロン・バッチモードを使用して、GDSIIデータからDSPFシナックスでRCデータを抽出できます。そして、このデータをAccuCore STAにインポートし、配線前のVerilogネットリストとLiberty .lib NLDMセル・タイミング・モデルを組み合わせ、配線後のセル・ベースにおけるクリティカル・パスの特定と検証を高速ベクタレスSTAとして実行できます。オプションであるRCネットワーク・リダクションは、HIPEX-RCの抽出プロセ

ス中あるいはClarityRLCを使用するような別々のポスト抽出プロセスで実行することもできます。

ClarityRLCは、統計的なプロセス・バリエーションのスクリーン・コーナー・ネットリストを追加生成することが可能です。そのネットリストは、ネットワークのタイミングおよびSIの影響によるリダクション・エラーを最小限にするのと同時に、ユーザがコントロールできるR、L、C、それぞれのリダクションが可能な最新の能動ネットワークRLCリダクション機能と拡大パラメータにより生成されます。このことは、HIPLEX-RCの単一パス抽出プロセスにより、大規模デザインにおける実行時間短縮のための圧縮比と精度との選択および複数のネットリスト・コーナーを迅速にアクセスすることを可能にし、後工程のサインオフと検査目的のために、すべてのネットリストが利用できなくなることを避けています。

また、AccuCore STAは、制御可能な詳細カップリング容量ネットワークのラダー・ネットワーク化により、基本的なノイズの影響による遅延を取り扱うこともできます。さらに、リファレンスとしてSPICEネットリストとモデルが提供されている場合、重要かつ高精度アプリケーションにおけるサインオフに必要なSPICEシミュレーションで用いる、他の入力制御、すべてのスティミュラス、およびmeasureステートメントが含まれている場所が特定され、抜き出されたクリティカル・パスをパス・ベースのSPICEシミュレーション用にオプションとして出力することができます。

注記：別のオプションとして、AccuCoreはトランジスタ・レベルのRC付きSPICEネットリストもしくはDSPF、そしてSPICEモデルにより回路を完全にSPICEを用いて直接リキャラクタライズすることを可能にします。AccuCoreは、独立かつ可逆的解析が可能な構成になっており、外部タイミングの影響を考慮しつつ、回路内におけるアクティブ・ドライバ負荷を最大限に圧縮するためにRCリダクションおよび結合ネットワーク・ラダー化を実行します。

SILVACO設計フローにおけるGDSIIからのDSPF抽出およびバックアノテーションの手順

Expert GUIを用いたDSPF抽出の手順

- 1) デザイン・ディレクトリに<process>.r_cmdテクノロジー・ファイルを作成/コピーします。
- 2) デザイン・ディレクトリに<process>.c_cmdテクノロジー・ファイルを作成/コピーします。
- 3) デザイン・ディレクトリに<design>_lvs.net回路図LVSネットリストを作成/コピーします。
- 4) Expert 4.8.15.R (このバージョン以降)をリード/ライト・モードで起動し、回路ファイル(.gds、.eld)を読み込みます。
- 5) **[レイアウト・パラメータ抽出設定]**ダイアログを開きます([検証ツール]→[ネットリスト抽出]→[設定]を選択)。
- 6) **[レイアウト]**設定ページを選択し、実行オプションを指定します。
- 7) **[ノード名]**設定ページを選択し、実行オプションを指定します。
- 8) **[ERC]**設定ページを選択し、実行オプションを指定します。

- 9) **[セル展開]**設定ページを選択し、実行オプションを指定します。
- 10) **[ネットリスト]**設定ページを選択し、実行オプションを指定します。
- 11) **[テクノロジー]**設定ページを選択し、実行オプションを指定します。
- 12) **[寄生抽出]**設定ページを選択し、実行オプションを指定します。
- 13) **[CRC]**設定ページを選択し、実行オプションを指定します。
- 14) **[バックアノテーション/LVS]**設定ページを選択し、実行オプションを指定します。
- 15) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-Net]**→**[実行]**を選択してHDBデータベースの結果を生成します。
- 16) (オプション) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-Net]**→**[サマリを表示]**を選択してランタイム・エラーを確認します。
- 17) (オプション) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-Net]**→**[ネットリストを表示]**を選択してネットリストを確認します。
- 18) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-R]**→**[実行]**を選択してRDBデータベースの結果を生成します。
- 19) (オプション) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-R]**→**[サマリを表示]**を選択してランタイム・エラーを確認します。
- 20) (オプション) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-R]**→**[ネットリストを表示]**を選択してネットリストを確認します。
- 21) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-C]**→**[実行]**を選択してCDBデータベースの結果を生成します。
- 22) (オプション) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-C]**→**[サマリを表示]**を選択してランタイム・エラーを確認します。
- 23) (オプション) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-C]**→**[ネットリストを表示]**を選択してネットリストを確認します。
- 24) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-RC]**→**[実行]**を選択してRDBとCDBデータベースの結果をマージします。
- 25) **[検証ツール]**→**[ネットリスト抽出]**→**[ネットリスト生成]**→**[DSPFネットリスト]**を選択してDSPFネットリストの結果を生成します。
- 26) (オプション) **[検証ツール]**→**[ネットリスト抽出]**→**[Hipex-RC]**→**[DSPFネットリストを表示]**を選択してネットリストを確認します。
- 27) (オプション) **[検証ツール]**→**[ネットリスト抽出]**→**[ClarityRLC]**→**[実行]**を選択してRCリダクションされたDSPFを生成します。

注記：以下に示さない実行オプションはデフォルト設定です。一部の設定は、構造、<design>_lvs.netファイル形式、およびGDSIIに依存します。本稿では、例題に必要な設定のみを示し、推奨する一般的な方法を示します。他の方法や設定も別の設計フローに対して可能で適している場合があります。一般的な仮定からの差によって設計フローに問題が発生する可能性がある場合、注記で示します。

[レイアウト]設定ページの実行オプションの説明

[トップ・セル]：抽出対象のトップ・レベルの物理階層データベースのセルを定義します。プルダウンリストから選択します。

注記：回路はトップ・レベルのセルとリーフ・レベルのゲート・セル・プリミティブのみで構成されていることが前提になっています。回路に別の構造が含まれている場合、この前提に一致するように回路のコピーを変更することをお勧めします。

[ノード名]設定ページの実行オプションの説明

[グローバル・ノード名] (グラウンド、電源)は、LVSネットリストに一致するようにトップ・レベルのグローバル電源とグラウンドの名前をそれぞれ定義します。

注記：回路にはグローバル電源とグローバル・グラウンドが1つずつ含まれていることが前提になっています。グローバル電源とグローバル・グラウンドが複数存在する場合、またはいずれかが複数存在する場合、別の電圧ドメインとして回路を階層的にボトムアップ抽出し、合理的に実現可能な場合、個別に解析することを推奨します。回路に複数のグローバル電源ドメインが含まれており、回路全体をシングル・パスで抽出可能な場合、後工程の解析ツールによってこのタイプのネットリストが受け入れられ、解析可能にするには注意が必要です。

[ERC]設定ページの実行オプションの説明

注記：**[オープン・ノード]** (**[オープンの名前変更]**)オプションによって一部のツールに対してLVSの問題が発生する場合があります。しかし、このオプションはSILVACO設計フローでは推奨されたデフォルト設定です。

[セル展開]設定ページの実行オプションの説明

トップ・レベルの物理セルとすべてのリーフ・レベルのゲート物理セルは、HCELLとして構成されなければなりません。すべてのコンタクト/ビア物理セルは、SMASHとして構成されなければなりません。すべての中間階層物理セルは、EXPLODEとして構成されなければなりません。

注記：可能な限り、回路にGDSII SREFを追加せずに上記に示した物理構造 (例：トップ・レベルとリーフ・レベルのみ)に一致するようにレイアウトのコピーを作成することをお勧めします。複数の抽出が予測される場合、数多くのオブジェクトやアレイをあらかじめ平坦化し、マージすると、大規模な回路でRC抽出速度を向上でき、これによって処理するデータベースのオブジェクト合計数が削減されます。これはデータ・オーバーラップ/エンクロージャが多数存在する場合に特に該当します。

[ネットリストニング]設定ページの実行オプションの説明

[カップリング・モード]：カップリング容量の抽出を有効にします(c_cmdデッキにプログラミングされている場合)。

[SPICEファイルを生成]：SPICE形式のネットリスト・ファイルを生成します。

[DSPFファイルを生成]：DSPF形式のネットリスト・ファイルを生成します。

[SPEFファイルを生成]：SPEF形式のネットリスト・ファイルを生成します。

注記：**[寄生容量ネットリスト]** (**[カップリングのしきい値]**)はOpFにデフォルト設定されています(つまり、これは抽出ルール・セット・デッキによって許可されたすべてのノード対ノードのカップリング値です)。場合によっては、これは過剰である可能性があり、必要以上に実行時間を増加させます。一部の回路では、このパラメータに適した値を設定して容量抽出中にネットリストを事前にフィルタリングすることが適切で有用です。通常、実行時間を犠牲にしてデフォルト設定(無効)を使用することを推奨します。AND/OR回路では、解析モードで、小さいカップリング容量値を含めることが必要とされない、または保証されない場合、このオプションを設定します。フィルタリングされたカップリング容量の値は、カップリング容量の各ノードに対してグラウンドのラダー等価回路に変換されます。

注記：通常、3つの * ファイル (SPICE、DSPF、SPEF)生成オプションによって、全体の実行時間は大幅に増加されません。したがって、必要なファイル形式が欠落する場合、抽出を再実行する時に必要となるポテンシャルを避けるために3つのオプションすべてを有効にすることを推奨します。その他のファイル形式が不要でディスクの空き容量を増やしたい場合のみ、不必要な出力フォーマット (SPICE、SPEF)を無効にしてください。

[テクノロジー]設定ページの実行オプションの説明

[寄生容量テクノロジー] (**[外部LISAスクリプトを使用]**)：SILVACO Expert/HIPEX-RC LISAフォーマットにおけるプロセス用の容量抽出ルールを含んだ外部ファイルを定義します。

注記：ソフトウェアの現在のバージョンで正確にファンクションへ変換するために、このフォーマットの旧バージョンのファイルをインポートおよび保存する必要がある場合があります。

[寄生抵抗テクノロジー] (**[外部LISAスクリプトを使用]**)：SILVACO Expert/HIPEX-RC LISAフォーマットにおけるプロセス用の抵抗抽出ルールを含んだ外部ファイルを定義します。

注記：ソフトウェアの現在のバージョンで正確にファンクションへ変換するために、このフォーマットの旧バージョンのファイルをインポートおよび保存する必要がある場合があります。

注記：適切なExpertテクノロジー・ファイルが事前にインポートされ、少なくとも接続情報とデバイス情報が.eldファイルに保存されていることが前提になっています。派生レイヤ情報ならびに寄生容量と寄生抵抗の情報もExpertテクノロジー・ファイルから.eldデータベース・ファイルにインポートされます。その場合、各情報の外部ファイルを追加する必要はありません。少なくとも寄生抵抗(r_cmdファイル)と寄生容量(c_cmdファイル)は外部ソースからもたらされることが前提になっています。

[寄生抽出]設定ページの実行オプションの説明

[ネット・コレクション]、**[無視されるネット]** (**[ネット名]**)：通常、グローバル電源とグラウンドのネットは、このネット・グループに追加されます。RC抽出プロセスに含まれないネットを追加します。ネット・コレクションのグループに設定すると、RC抽出のみに影響を及ぼします。LVSネットリスト抽出には影響せず、ネットリスト抽出プロセス中にHIPEX-NETで処理されます。

注記：特定されたクリティカル・ネットの詳細な解析のために選択的もしくはインクリメンタルRC抽出が実行されない限り、上記で示した**[ネット・コレクション]**オプションのみを使用します。別の設計フローの方法では、必要に応じて、これらの設定の一部もしくはすべてを変更する必要があります。

容量の抽出について

注記：GDSIIに目的の回路全体が含まれていることが前提になっています。物理データベースが部分的である場合または部分的に切断された周辺オブジェクトが含まれている場合、**[ダングル・ネットを含める]**オプションが一部のネットの読み込みに対して適切です。

[RC縮退]：元のRC出力ネットリストの抽出プロセス中における同時RCリダクションを有効にします。

注記：RCリダクションはこの設定ページのオプションですが、クリティカル・パス解析に対してQoRにおける影響が及ばないことが事前にわかっていない限り、通常、このオプションを主な初期RC抽出に使用しないことを推奨します。個別のRCリダクションとスキュー・コーナー生成を**[CRC]**設定ページから使用でき、これにより再抽出を必要とせずに元のリダクション前のRCネットリストに戻ることができます。

[プロセッサ数を指定] (パラレル・モード) (Max=4)：パラレル・プロセスによるRC抽出を高速化できます。このオプションを使用することで結果の精度は失われません。

注記：このパラメータは、実行されるハードウェアの実CPUコア数以下に設定してください。ハイパースレッディングが有効になったハードウェアのスレッドまたは仮想CPUは数えません。SILVACOソフトウェアの実行に対してハードウェアのハイパースレッディングを無効にするには、SILVACOの全般的な推奨事項を参照してください。

[CRC]設定ページの実行オプションの説明

この設定ページは、ポストRCネットリスト生成プロセスとしてClarityRLCにおけるRCリダクション・オプションの実行を制御します。

[入力/出力]、**[フォーマット]**：DSPFを選択します。

[縮退] (**[カップリング・モード]**)：カップリング容量を出力RCネットリストに保存します。このオプションを選択しない場合、カップリング容量が入力RCネットリストに存在するとき、出力RCネットリストにはラダー変換された等価値が含まれます。

[しきい値]：最終出力ネットリストに出力しない抵抗と容量のカットオフ値を指定します。

注記：すべてのセルまたは各セルに対する個別の抵抗と容量のしきい値がこのダイアログで指定可能です。この機能の一般的な使用法は、必要に応じて、トップ・レベルとリーフ・レベルで異なる値を設定することです。

注記：RCリダクション以外にマルチプロセス・スキュー・コーナーが望まれる場合、Expert GUIから独立してClarityRLCをスタンドアロン・バッチモードで実行する必要があります。

[バックアノテーション/LVS]設定ページの実行オプションの説明
[バックアノテーション/LVS] ([バックアノテート])：回路図ネットやインスタンス名を含むRC抽出されたネットリストを出力するためにLVSバックアノテーションSPICEネットリストの使用を有効にします。

[回路図ファイル]：抽出されたRCネットリスト用にネットとインスタンス名を参照するLVS回路図バックアノテーションSPICEネットリストを指定します。

注記：一致する構造(およびネットとインスタンス名)のLVS SPICE ネットリストの設定と適切な定義に失敗すると、STAプロセスの後工程のDSPFバックアノテーションに失敗します。

AccuCore STAにおけるDSPFバックアノテーションの手順

- 1) デザイン・ディレクトリにSTA実行スクリプト<design>_sta.tclを作成/コピーします。
- 2) デザイン・ディレクトリにSTAコンフィギュレーション・ファイル<design>_sta.cfgを作成/コピーします。
- 3) accucore <design>_sta.tcl |& tee sta_logを実行します。
- 4) sta_logファイルでエラーと警告を確認します。
- 5) *.rptタイミング・レポート(debug, checks, paths)を確認します。

AccuCore STAコンフィギュレーション・ファイル(.cfg)における実行オプションの説明

inputs：トップ・レベルの入力ポート(クロック以外)を指定します。

outputs：トップ・レベルの出力ポートを指定します。

inouts：トップ・レベルの双方向ポートを指定します。

clocks：トップ・レベルの入力クロック・ポートを指定します。

powers：トップ・レベルのグローバル電源ポートを指定します。

grounds：トップ・レベルのグローバル・グラウンド・ポートを指定します。

in_snps_lib_name：Libertyセル・タイミングのライブラリ・ファイル(.lib)を指定します。(空白でファイル名を区切ります。)

in_vlog_netlist_name：Verilogネットリスト・ファイル(.v)を指定します。(空白でファイル名を区切ります。)

in_spf_name：DSPF寄生RCネットリスト・ファイル(.dspf)を指定します。

input_time：入力ポートからクロックへのタイミングおよび傾きの情報を指定します。

注記：クロックは、トップ・レベルのポート以外に内部ネットの場合があります。

output_time：出力ポートからクロックへのタイミング情報を指定します(セットアップ/ホールド)。

clock_time : クロックの傾きとタイミング情報を指定します。

注記 : クロックは、トップ・レベルのポート以外に内部ネットの場合があります。

注記 : AccuCore STAには、上記以外のコンフィギュレーション・オプションが存在します。上記では、最もよく使用するコマンドのみを紹介しました。

AccuCore STA解析ファイル(.tcl)における実行オプションの説明

sta_read_cfg : STAコンフィギュレーション・ファイル(.cfg)を指定します。

sta_report_file : 解析結果を出力するレポート・ファイル(.rpt)を指定します。一般的なレポート・ファイルはdebug、checks、pathsです。

sta_verify_netlist : ネットリスト・デバック情報のレポートを制御します。

print_clock_waveforms -all_nets : クロック・デバック情報のレポートを制御します。

report_warnings -all : STAプロセス・デバック情報のレポートを制御します。

verify_checks : 実行するSTAタイミング制約解析の詳細を設定します。

report_checks : STAタイミング制約解析結果のレポートを制御します。

find_paths : 実行するSTAクリティカル・パス・タイミング解析の詳細を設定します。

report_paths : STAクリティカル・パス・タイミング解析結果のレポートを制御します。

注記 : AccuCore STAには、上記以外の解析オプションがありません。上記では、最もよく使用するコマンドのみを紹介しました。

上記の実行オプションとその他の使用可能なオプションの詳細については、『Guardian Layout Verificationユーザーズ・マニュアル』の「第3章」を参照してください。

Expertの基本操作については、『Expert Layout Editorユーザーズ・マニュアル』を参照してください。

HIPEX-NETおよびHIPEX-RCの詳細については、『HIPEXユーザーズ・マニュアルVolume I & II』を参照してください。

ClarityRLCの詳細については、『ClarityRLCユーザーズ・マニュアル』を参照してください。

AccuCore STAの詳細については、『AccuCore STA User's Manual』および『AccuCore STA Command Reference Manual』を参照してください。